

# Chapitre 2

## OPÉRATIONS ET PORTES LOGIQUES

Les contacts et les relais décrits au chapitre précédent sont employés pour la construction du transmetteur et de l'organe d'action d'un système logique. Son organe de commande, qui sera l'objet de ce chapitre et des suivants, est constitué d'un ensemble d'éléments appelés *portes logiques*. Le rôle d'une porte est d'associer à un ensemble de signaux logiques appliqués à son entrée un signal logique livré à sa sortie. La loi selon laquelle une porte logique produit le signal de sortie à partir des signaux d'entrée est appelée *opération logique* de cette porte. Nous commençons par donner les définitions algébriques des différentes opérations logiques avant de passer à la description physique des portes logiques qui les exécutent.

### 2-1 OPÉRATIONS LOGIQUES

Nous allons définir sur l'ensemble des 2 valeurs logiques  $\mathcal{B} = \{0, 1\}$  des lois de composition interne (des opérations) permettant d'effectuer des calculs algébriques dans cet ensemble.

#### 2-1-1 Opérations OR et AND

L'*algèbre de Boole* est l'ensemble  $\mathcal{B} = \{0, 1\}$  muni d'une loi additive notée «+» et d'une loi multiplicative notée «•». La loi «+» est appelée opération OU, en anglais OR, et la loi «•» est appelée ET, en anglais AND. Ces lois sont définies par les équivalences suivantes :

$$\begin{aligned} a + b = 1 &\Leftrightarrow [(a = 1) \text{ ou } (b = 1)], \\ a \cdot b = 1 &\Leftrightarrow [(a = 1) \text{ et } (b = 1)]. \end{aligned} \quad (2-1)$$

En d'autres termes,

- la somme de 2 valeurs logiques est égale à 1 si l'une au moins des 2 valeurs est égale à 1. La

somme de 2 valeurs n'est donc nulle que si chacune de ces valeurs est nulle.

- Le produit de 2 valeurs logiques n'est égal à 1 que si chacune de ces 2 valeurs est 1. Si l'une au moins de ces 2 valeurs est nulle, le produit est nul.

Ces définitions sont explicitées par les tableaux 2-1 et 2-2 appelés *tables de vérité* respectivement de la loi «+» et de la loi «•».

a	b	a + b
0	0	0
0	1	1
1	0	1
1	1	1

Tableau 2-1

a	b	a.b
0	0	0
0	1	0
1	0	0
1	1	1

Tableau 2-2

La figure 2-1 représente les symboles des circuits électroniques qui exécutent les opérations logiques «+» et «•». Ces circuits sont respectivement appelés porte OU, en anglais OR gate, et porte ET, en anglais AND gate.

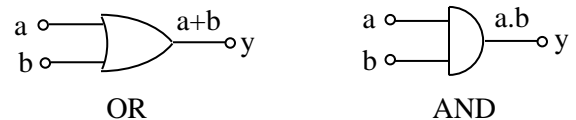


Fig. 2-1 Symboles des portes OR et AND

La sortie y de la porte OR est égale à la valeur logique 0 (signifiant une tension basse) si et seulement si chacune de ses entrées a la valeur logique 0 et la sortie de la porte logique AND est égale à 1 (tension haute) si et seulement si chacune de ses entrées a la valeur logique 1.

**Définitions ensemblistes des lois OR et AND.**

Soit  $\mathcal{B}^2$  le produit cartésien  $\mathcal{B} \times \mathcal{B}$  c'est-à-dire l'ensemble des couples (a, b), a et b étant des valeurs logiques. Les  $2^2 = 4$  éléments de  $\mathcal{B}^2$  occupent les cases encadrées du tableau 2-3.

a\b	0	1	
0	(0,0)	(0,1)	
1	(1,0)	(1,1)	A
		B	

Tableau 2-3

Une loi dans  $\mathcal{B}$  est une application qui associe à tout couple (a, b) de  $\mathcal{B}^2$  un élément y de  $\mathcal{B}$ . Désignons par A l'ensemble des 2 couples de  $\mathcal{B}^2$  dont la première composante a est égale à 1 (deuxième ligne du tableau encadré) et par B l'ensemble des 2 couples de  $\mathcal{B}^2$  dont la deuxième composante b est égale à 1 (deuxième colonne du tableau encadré). Les opérations «+» et «•» (Or et AND) peuvent se définir de la manière suivante :

$$\begin{aligned} a + b = 1 &\Leftrightarrow (a, b) \in (A \cup B) \\ a \cdot b = 1 &\Leftrightarrow (a, b) \in (A \cap B) \end{aligned} \quad (2-2)$$

En d'autres termes, la loi OR associe la valeur 1 à tout élément de l'ensemble A ou de l'ensemble B tandis que la loi AND n'associe la valeur 1 qu'à l'élément appartenant à la fois à A et à B. Les définitions (2-2), équivalentes aux définitions (2-1), permettent de déduire certaines propriétés logiques à partir de celles des ensembles.

**Propriétés des lois OR et AND.** Les lois «+» et «•» jouissent des propriétés duales suivantes :

**Propriétés de la loi OR**

- 1) Commutativité :  $a + b = b + a$
- 2) Associativité :  $a + (b + c) = (a + b) + c$
- 3) 0-neutre :  $a + 0 = a$
- 4) 1-absorbant :  $a + 1 = 1$
- 5) Idem potence :  $a + a = a$
- 6) Distributivité par rapport à «•» :  
 $a + (b \cdot c) = (a + b) \cdot (a + c)$

**Propriétés de la loi AND**

- 1) Commutativité :  $a \cdot b = b \cdot a$
- 2) Associativité :  $a \cdot (b \cdot c) = (a \cdot b) \cdot c$

- 3) 1-neutre :  $a \cdot 1 = a$
- 4) 0-absorbant :  $a \cdot 0 = 0$
- 5) Idem potence :  $a \cdot a = a$
- 6) Distributivité par rapport à «+» :  
 $a \cdot (b + c) = (a \cdot b) + (a \cdot c)$

Les propriétés précédentes se démontrent en vérifiant que le premier membre d'une équation a la même valeur que le second quelles que soient les valeurs des variables logiques a, b ou c. On peut aussi se baser sur les définitions ensemblistes des opérations «+» et «•» et appliquer les propriétés de l'intersection et de l'union des ensembles. À titre d'exemple, sachant que  $\cap$  et  $\cup$  sont distributifs l'un par rapport à l'autre, démontrons la distributivité de «+» par rapport à «•».

>> Considérons dans l'ensemble  $\mathcal{B}^3$  des triplets logiques (a, b, c) les sous-ensembles A, B et C définis respectivement par  $a = 1$ ,  $b = 1$  et  $c = 1$ . Tenant compte de (2-2), on a :

$$\begin{aligned} a + (b \cdot c) = 1 &\Leftrightarrow (a, b, c) \in A \cup (B \cap C) \\ &\Leftrightarrow (a, b, c) \in (A \cup B) \cap (A \cup C) \\ &\Leftrightarrow (a + b) \cdot (a + c) = 1 \end{aligned}$$

ce qui montre que  $[a + (b \cdot c)]$  et  $[(a + b) \cdot (a + c)]$  ont toujours la même valeur quels que soient a, b et c d'où leur égalité. ■

**EXERCICE 2-1**

Les lignes des 3 premières colonnes du tableau suivant contiennent les  $2^3 = 8$  triplets de  $\mathcal{B}^3$ .

a	b	c	y <sub>1</sub>	y <sub>2</sub>
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Pour  $y_1 = a + (b \cdot c)$  et  $y_2 = (a + b) \cdot (a + c)$ , démontrer de nouveau la distributivité de l'addition par rapport à

la multiplication en remplissant les deux dernières colonnes du tableau.

Les propriétés ci-dessus aident à analyser ou à simplifier les circuits logiques. Par exemple, de la distributivité de «+» par rapport à «•» on déduit que les circuits (a) et (b) de la figure 2-2 sont équivalents.

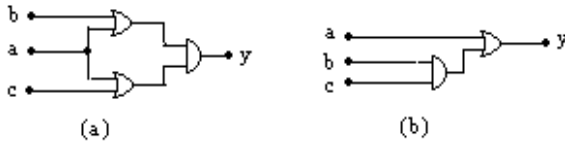


Fig. 2-2 Simplification par distributivité

De même, on déduit facilement de ces propriétés les égalités utiles suivantes :

$$a + a \cdot b = a \quad a \cdot (a + b) = a. \quad (2-3)$$

En effet,

$$a + a \cdot b = a \cdot (1 + b) = a \cdot 1 = a.$$

$$a \cdot (a + b) = a \cdot a + a \cdot b = a + a \cdot b = a.$$

Sans ce calcul, les égalités (2-3) se déduisent directement des définitions ensemblistes (2-2) puisque

$$A \cup (A \cap B) = A \quad \text{et} \quad A \cap (A \cup B) = A.$$

**Remarque.** Comme en algèbre ordinaire, on omet généralement le symbole «•» de la loi multiplicative entre les variables.

### 2-1-2 Complémentation

Le complément d'un élément  $a$  de  $\mathcal{B}$  est l'autre élément de  $\mathcal{B}$  qu'on désigne par  $\bar{a}$ . En d'autres termes :

$$\bar{\bar{a}} = 1 \Leftrightarrow a = 0. \quad (2-4)$$

La porte électronique qui effectue la complémentation d'un signal est appelée porte NON (NOT gate) ou inverseur logique (logic inverter). La figure 2-3 montre son symbole.

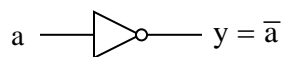


Fig. 2-3 Symbole de la porte NON

Il est évident que

$$\bar{\bar{a}} = a, \quad \bar{a} + a = 1 \quad \text{et} \quad \bar{a} \cdot a = 0. \quad (2-5)$$

On a de plus l'égalité suivante :

$$a + \bar{a} \cdot b = a + b. \quad (2-6)$$

En effet, par distributivité de «+» par rapport à «•»,

$$a + \bar{a} \cdot b = (a + \bar{a})(a + b) = 1(a + b) = a + b$$

ou parce que  $A \cup (\bar{A} \cap B) = A \cup B$ ,  $\bar{A}$  étant le complément de  $A$ .

#### EXERCICE 2-2

Montrer que

$$ab + ac + \bar{c}b = ac + \bar{c}b.$$

#### Théorème de De Morgan

$$\overline{a + b} = \bar{a} \cdot \bar{b} \quad \text{et} \quad \overline{a \cdot b} = \bar{a} + \bar{b}. \quad (2-7)$$

*Preuve*

Nous démontrons la première équation ; la démonstration de la seconde est similaire.

$$\overline{a + b} = 1 \Leftrightarrow a + b = 0 \Leftrightarrow (a = 0 \quad \text{et} \quad b = 0)$$

$$\Leftrightarrow (\bar{a} = 1 \quad \text{et} \quad \bar{b} = 1) \Leftrightarrow \bar{a} \cdot \bar{b} = 1. \quad \blacksquare$$

La figure 2-4 montre l'interprétation électronique de ce théorème.

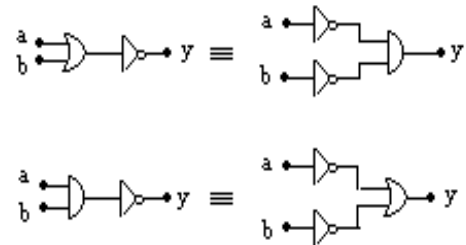


Fig. 2-4 Simplification par le théorème de De Morgan

Grace à l'associativité de «+» et «•», le théorème de De Morgan se généralise facilement à un nombre quelconque de variables logiques :

- Le complément d'une somme (resp. d'un produit) de variables logiques est égal au produit (resp. à la somme) de leurs compléments.

**EXERCICE 2-3**

Montrer que

$$ab + c\bar{a} + \bar{c} + c\bar{b} = 1.$$

**2-1-3 Autres opérations**

A partir des lois précédentes, on définit 4 autres opérations utiles appelées NAND, NOR, XOR et XNOR. À cause de leurs propriétés similaires, NAND et NOR constituent un groupe et XOR et XNOR un autre.

**NAND et NOR.** Ces opérations seront respectivement désignées par «/» et «↓», et définies par

$$a/b = \overline{a.b} \quad \text{et} \quad a \downarrow b = \overline{a+b} \quad (2-8)$$

$$\Leftrightarrow a/b = \bar{a} + \bar{b} \quad \text{et} \quad a \downarrow b = \bar{a}.\bar{b} \quad (2-9)$$

Leurs tables de vérité sont celles des tableaux 2-4 et 2-5 suivants (comparer avec AND et NOR).

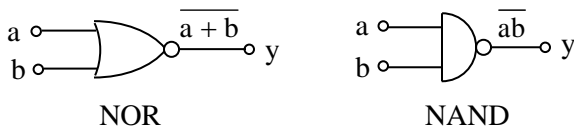
a	b	a/b
0	0	1
0	1	1
1	0	1
1	1	0

Tableau 2-4 NAND

a	b	a↓b
0	0	1
0	1	0
1	0	0
1	1	0

Tableau 2-5 NOR

Les noms NAND et NOR sont les contractions de NOT AND et NOT OR (de (2-8)). Certains auteurs les appellent ON et NI contractions de OU des NON et de NI l'un NI l'autre (de (2-9)). La figure 2-5 montre les symboles qui représentent les circuits électroniques qui effectuent ces opérations.

**Fig. 2-5** Symboles des portes NOR et NAND

La porte NAND ne livre à sa sortie la valeur 0 (tension basse) que si ses entrées sont toutes les deux 1 (tension haute) et la porte NOR ne livre à sa sortie la valeur 1 que si ses entrées sont toutes les deux 0 (tensions basses).

Chacune des portes NAND et NOR est *universelle* dans le sens qu'elle est suffisante par elle-même pour construire les opérateurs de base AND, OR et NOT et par conséquent toute autre opération logique. Montrons que NAND est universelle.

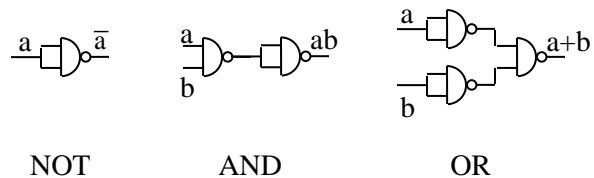
$$1) \quad \bar{a} = a.a = a/a.$$

(Pour simplifier, au lieu de  $a/a$ , on écrit  $/a = \bar{a}$ ).

$$2) \quad a.b = \overline{\overline{a.b}} = \overline{/(a/b)}.$$

$$3) \quad a + b = \overline{\overline{a+b}} = \overline{\overline{a}.\overline{b}} = (/a)/(/b).$$

La figure 2-6 montre les circuits en portes NAND qui traduisent les relations précédentes.

**Fig. 2-6** Circuits NOT, AND, OR en NAND**EXERCICE 2-4**

Montrer que NOR est aussi universelle.

**EXERCICE 2-5**

a) L'opération NAND (resp. NOR)

1) est-elle commutative ? associative ?

2) Admet-elle un élément neutre ? un élément absorbant ?

3) Est-elle distributive par rapport à «+» ou à «•» ?

Si la réponse est affirmative donner sa démonstration, si elle ne l'est pas trouver un contre-exemple.

b) Représenter le circuit en portes NAND (resp. NOR) qui produit  $y = \bar{a} + bc$ .

Généralisation

Les portes AND, OR, NAND et NOR peuvent avoir un nombre d'entrées  $p > 2$ , leurs sorties étant respectivement définies par

$$\text{AND}(a_1, a_2, \dots, a_p) = a_1 \cdot a_2 \cdot \dots \cdot a_p$$

$$\text{NAND}(a_1, a_2, \dots, a_p) = \overline{a_1 \cdot a_2 \cdot \dots \cdot a_p}$$

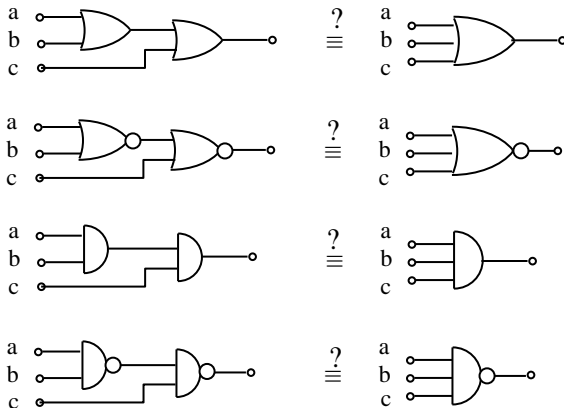
$$\text{OR}(a_1, a_2, \dots, a_p) = a_1 + a_2 + \dots + a_p$$

$$\text{NOR}(a_1, a_2, \dots, a_p) = \overline{a_1 + a_2 + \dots + a_p}$$

Si l'une des entrées est 0 la sortie AND est 0 et la sortie NAND est 1 et si l'une des entrées est 1 la sortie OR est 1 et la sortie NOR est 0.

EXERCICE 2-6

Les équivalences suivantes sont-elles toutes vraies ? Justifier votre réponse.



**XOR et XNOR.** Ces opérations sont respectivement désignées par  $\oplus$  et  $\otimes$  et définies par

$$\begin{aligned} a \oplus b &= \overline{a}b + a\overline{b}, \\ a \otimes b &= \overline{a}b + a\overline{b}. \end{aligned} \quad (2-10)$$

Leurs tables de vérité sont celles des tableaux 2-6 et 2-7. La sortie de XOR est égale à 1 lorsqu'une seule de ses 2 entrées est égale à 1 et l'autre 0, d'où son appellation EXCLUSIVE OR ou OU exclusive. On peut aussi dire que XOR est une porte de distinction car sa sortie est égale à 1 si et seulement si ses entrées sont différentes. Par contre, XNOR est une porte de coïncidence car sa sortie est égale à 1

quand ses 2 entrées sont identiques et on a :  $a \otimes b = \overline{a \oplus b}$ .

a	b	$a \oplus b$
0	0	0
0	1	1
1	0	1
1	1	0

Tableau 2-6

a	b	$a \otimes b$
0	0	1
0	1	0
1	0	0
1	1	1

Tableau 2-7

La figure 2-7 montre les symboles qui représentent les circuits électroniques qui effectuent ces opérations.

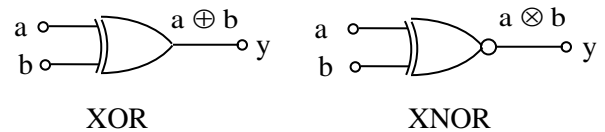


Fig. 2-7 Symboles des portes XOR et XNOR

XOR et XNOR ont les propriétés duales suivantes (à comparer avec celles de OR et AND)

Propriétés de la loi XOR

- 1) Commutativité :  $a \oplus b = b \oplus a$
- 2) Associativité :  $a \oplus (b \oplus c) = (a \oplus b) \oplus c$
- 3) 0-neutre :  $a \oplus 0 = a$
- 4) 1-inverseur :  $a \oplus 1 = \overline{a}$
- 5) a est le symétrique de a :  $a \oplus a = 0$
- 6) «•» est distributif par rapport à  $\oplus$  :

$$a \cdot (b \oplus c) = (a \cdot b) \oplus (a \cdot c)$$

Propriétés de la loi XNOR

- 1) Commutativité :  $a \otimes b = b \otimes a$
- 2) Associativité :  $a \otimes (b \otimes c) = (a \otimes b) \otimes c$
- 3) 1-neutre :  $a \otimes 1 = a$
- 4) 0-inverseur :  $a \otimes 0 = \overline{a}$
- 5) a est le symétrique de a :  $a \otimes a = 1$
- 6) «+» est distributif par rapport à  $\otimes$  :

$$a + (b \otimes c) = (a + b) \otimes (a + c)$$

Démontrons, à titre d'exemple, la propriété 2) de  $\oplus$  et la propriété 6) de  $\otimes$ .

$$\gg a \oplus (b \oplus c) = 1 \Leftrightarrow (a = 1 \text{ et } b = c) \text{ ou } (a = 0 \text{ et } b \neq c)$$

$$\Leftrightarrow [\text{nombre des 1 est impair}]$$

$$(a \oplus b) \oplus c = 1 \Leftrightarrow (a = b \text{ et } c = 1) \text{ ou } (a \neq b \text{ et } c = 0)$$

$$\Leftrightarrow [\text{nombre des 1 est impair}] \blacksquare$$

$$\gg a + (b \otimes c) = 1 \Leftrightarrow (a = 1 \text{ ou } b = c)$$

$$\Leftrightarrow (a + b = a + c)$$

$$\Leftrightarrow (a + b) \otimes (a + c) = 1 \blacksquare$$

### EXERCICE 2-7

a) Démontrer la propriété 2) de  $\otimes$  et la propriété 6) de  $\oplus$ .

b) Partant seulement des propriétés 1) à 6) de XOR et de XNOR, montrer que  $a \oplus \bar{a} = 1$  et  $a \otimes \bar{a} = 0$ .

Comme les autres portes, XOR et XNOR peuvent avoir un nombre d'entrées  $p > 2$ , leurs sorties étant respectivement définies par :

$$\text{XOR}(a_1, a_2, \dots, a_p) = a_1 \oplus a_2 \oplus \dots \oplus a_p \quad (2-11)$$

$$\text{XNOR}(a_1, a_2, \dots, a_p) = a_1 \oplus a_2 \oplus \dots \oplus a_p$$

Il est facile de démontrer par récurrence que la sortie de la porte XOR est égale à 1 si et seulement si le nombre de ses entrées 1 est impair. La sortie de la porte XNOR est donc égale à 1 si et seulement si le nombre de ses entrées 1 est pair.

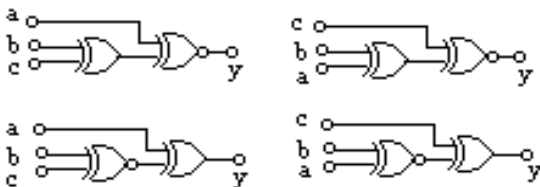
### EXERCICE 2-8

Montrer que

$$a_1 \otimes a_2 \otimes \dots \otimes a_p = \text{XOR}(a_1, a_2, \dots, a_p) \text{ si } p \text{ impair,} \\ = \text{NXOR}(a_1, a_2, \dots, a_p) \text{ si } p \text{ pair.}$$

### EXERCICE 2-9

Montrer que les 4 circuits suivants sont équivalents.



## 2-2 PORTES LOGIQUES

Ayant donné les définitions mathématiques des opérations logiques ainsi que leurs propriétés essentielles, passons à la description de la structure physique des portes logiques. On distingue 3 types de portes selon la technologie de leur fabrication : les portes électromagnétiques, les portes pneumatiques et les portes électroniques.

### 2-2-1 Portes électromagnétiques

Une *porte électromagnétique* est formée d'un ensemble de contacts connectés à un récepteur (relais, contacteur, lampe, moteur,...). La figure 2-8 montre une porte comportant un contact  $m$  fermé au repos et un relais dont la bobine est représentée par un rectangle et désignée par la lettre majuscule X. Les pôles du relais sont désignés par la même lettre que la bobine mais en minuscule avec indice :  $x_1$  et  $x_0$ . Le pôle  $x_1$  est ouvert au repos et le pôle  $x_0$  est fermé au repos. Les traits verticaux sont les 2 lignes d'alimentation de tension E volts.

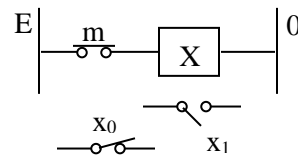


Fig. 2-8 Porte EGAL et NOT

**Conventions.** Nous adopterons les conventions suivantes:

1) Tous les éléments d'un relais seront désignés par le même nom, en majuscule pour la bobine, en minuscule (avec ou sans indice) pour les pôles. Ceci nous permet de représenter les pôles d'un relais en des positions quelconques du schéma électrique et non nécessairement en face de sa bobine.

2) Les contacts et les pôles seront toujours représentés dans leur position de repos.

3) Les contacts actionnés simultanément (par liaison mécanique ou autre) seront désignés par la même lettre.

- 4) A un contact sera associée la valeur logique 0 s'il est au repos, la valeur logique 1 s'il est actionné.
- 5) A une bobine sera associée la valeur 1 quand elle est parcourue par un courant, la valeur 0 quand elle est désactivée.
- 6) A un pôle sera associée la valeur 1 s'il est fermé, la valeur 0 s'il est ouvert.

**Porte EQUAL et NOT.** Revenons au circuit de la figure 2-8. Il a une entrée  $m$  et deux sorties  $x_1$  et  $x_0$ . C'est une porte qui effectue simultanément les deux opérations de complémentation et d'égalité. En effet, d'après les conventions précédentes, on a :

$$m = 0 \Leftrightarrow X = 1 \Leftrightarrow x_1 = 1 \text{ et } x_0 = 0$$

$$\Rightarrow x_1 = \bar{m} \text{ (NOT)} \quad x_0 = m \text{ (EQUAL)}.$$

**Porte AND et NAND.** Chacun des 2 circuits de la figure 2-9 effectue simultanément les 2 opérations AND et NAND.

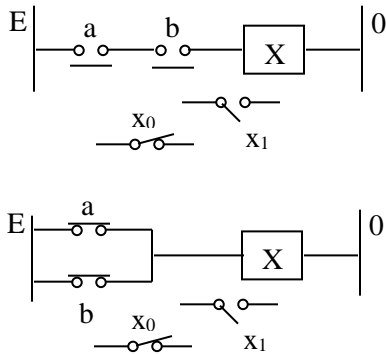


Fig. 2-9 Portes AND et NAND

Le premier circuit a une configuration série pour laquelle le courant traverse la bobine  $X$  (c.à.d.  $X = 1$ ) si les boutons  $a$  et  $b$  sont tous les deux actionnés (égaux à 1). D'où

$$x_1 = X = ab \text{ (AND)} \Rightarrow x_0 = \bar{x}_1 = \overline{ab} \text{ (NAND)}$$

Le second circuit a une configuration parallèle pour laquelle le courant traverse la bobine  $X$  si l'un au moins des 2 boutons  $a$  et  $b$  reste au repos. D'où

$$x_1 = X = \bar{a} + \bar{b} = \overline{ab} \text{ (NAND)}$$

$$\Rightarrow x_0 = \bar{x}_1 = \overline{\overline{ab}} = ab \text{ (AND)}.$$

**Porte OR et NOR.** Chacun des 2 circuits de la figure 2-10 effectue simultanément les 2 opérations OR et NOR. Le premier a une configuration parallèle pour laquelle  $x_1 = a + b$  (OR) et  $x_0 = \overline{a + b}$  (NOR) et le second a une configuration série pour laquelle  $x_1 = \overline{a \cdot b} = \overline{a + b}$  (NOR) et  $x_0 = \overline{\overline{a + b}} = a + b$  (OR).

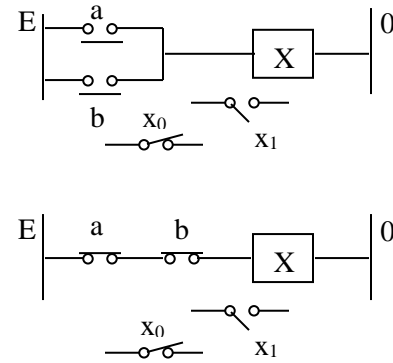


Fig. 2-10 Portes OR et NOR

**Porte XOR et XNOR.** La figure 2-11 représente une porte XOR-XNOR à deux entrées matérialisées par deux *contacts inverseurs*  $a$  et  $b$ . On remarque que le courant traverse la bobine  $X$  si un et un seul de ces 2 contacts est actionné, d'où

$$x_1 = X = a\bar{b} + \bar{a}b = a \oplus b \quad \text{et} \quad x_0 = \bar{x}_1 = a \otimes b.$$

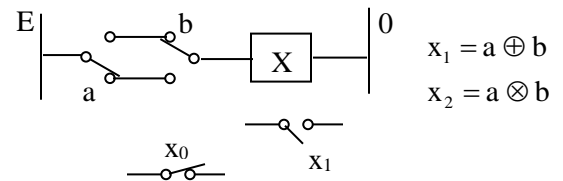


Fig. 2-11 Porte XOR et XNOR

Pour construire, par exemple, un circuit XOR à trois entrées  $a$ ,  $b$  et  $c$ , on peut utiliser deux relais  $X$  et  $Y$  (figure 2-12). Le premier produit  $x = a \oplus b$  et le second donne la sortie  $y = x \oplus c = a \oplus b \oplus c$ .



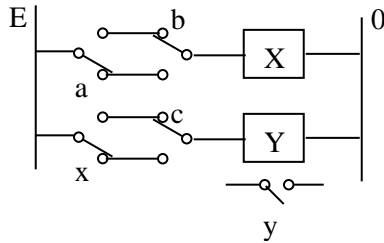
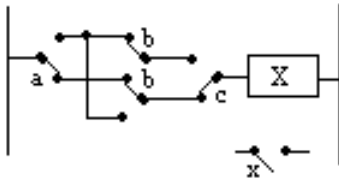


Fig. 2-12 Porte XOR à 3 entrées

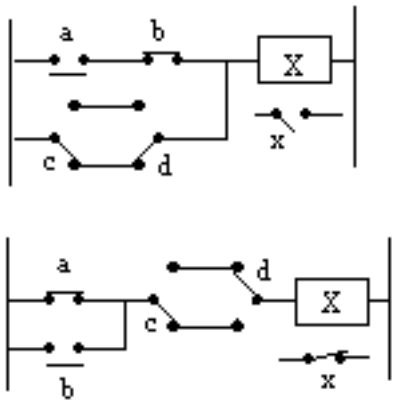
### EXERCICE 2-10

Les contacts  $b$  étant actionnés simultanément à l'aide d'une liaison mécanique, montrer que le circuit ci-dessous est une porte XNOR à trois entrées  $a$ ,  $b$  et  $c$ . Quelle est l'utilité de ce circuit quand on remplace le relais par une lampe et les contacts  $a$ ,  $b$ ,  $c$  par des interrupteurs éloignés à l'intérieur d'une chambre.



### EXERCICE 2-11

Montrer que les 2 circuits suivants sont équivalents.



**Mémoire.** Considérons le circuit de la figure 2-13. Il comporte un bouton poussoir de marche  $m$  ouvert au repos, un bouton poussoir d'arrêt  $a$  fermé au repos et un relais ( $X$ ,  $x$ ) dont le pôle  $x$  est ouvert au

repos.

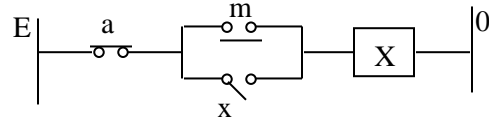


Fig. 2-13 Mémoire à arrêt prioritaire

Quand on pousse sur  $m$ , un courant traverse la bobine  $X$  et ferme  $x$  de sorte que, si l'on relâche  $m$ , le courant continue à circuler dans  $X$ , d'où  $x$  reste fermé.  $X$  ne se désactive que lorsqu'on pousse sur le bouton d'arrêt  $a$ . Le système retient donc la dernière action : il reste activé si la dernière action est de marche, il reste désactivé si la dernière action est d'arrêt. Si l'on pousse simultanément sur  $a$  et  $m$ ,  $X$  sera 0 et la priorité est donc donnée à l'arrêt. D'après le circuit, l'état de la bobine à pour expression :

$$X = \bar{a}(m + x) . \quad (2-12)$$

### EXERCICE 2-12

Construire le circuit d'équation

$$X = m + \bar{a}.x$$

et vérifier que c'est une mémoire à marche prioritaire.

**Remarque.** En toute rigueur, il existe un petit retard  $\varepsilon$  entre le changement de l'état d'excitation de la bobine d'un relais et la fin du mouvement de ses pôles. Si  $x$  est un pôle d'un relais dont la bobine est  $X$ , on a, en tout instant  $t$ ,

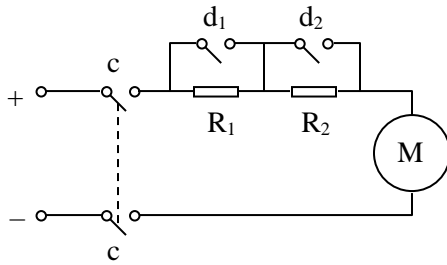
$$\begin{aligned} x(t) &= X(t - \varepsilon) \text{ si } x \text{ est ouvert au repos,} \\ &= \bar{X}(t - \varepsilon) \text{ si } x \text{ est fermé au repos.} \end{aligned}$$

Si, par exemple, la durée de la poussée sur le bouton poussoir  $m$  de la mémoire est inférieure au retard  $\varepsilon$ , le pôle  $x$  reste ouvert à la fin de cette action et le courant ne s'établit pas dans la bobine  $X$ . Nous reviendrons, dans un autre chapitre, aux difficultés de conception qu'implique ce retard.

**Exemple d'application.** Il s'agit de construire l'organe de commande pour le démarrage d'un



moteur à courant continu. Le circuit de démarrage est représenté par la figure 2-14.



**Fig. 2-14** Circuit de démarrage d'un moteur cc.

En appuyant sur un bouton poussoir de marche *m*, les contacts de ligne *c* se ferment et le courant alimente le moteur à travers les résistances  $R_1$  et  $R_2$ . Au bout de  $tr_1$  secondes, le pôle  $d_1$  d'un autre contacteur  $D_1$  se ferme et court-circuite la résistance  $R_1$ . A l'instant  $tr_2$  ( $> tr_1$ ) le pôle  $d_2$  d'un troisième contacteur  $D_2$  se ferme à son tour, la résistance  $R_2$  se court-circuite et la tension aux bornes du moteur devient celle du secteur. L'arrêt du moteur se fait en ouvrant simultanément les trois contacteurs par appui sur un bouton poussoir d'arrêt *a*.

Pour construire l'organe de commande on a besoin, en plus des contacteurs *C*,  $D_1$  et  $D_2$ , d'un temporisateur *T* ayant un pôle  $t_1$  de retard  $tr_1$  secondes et un autre pôle  $t_2$  de retard  $tr_2$  secondes. Le contacteur de ligne *C* se ferme par appui sur *m* et ne s'ouvre que par appui sur *a*. Il s'alimente donc à travers une mémoire d'expression

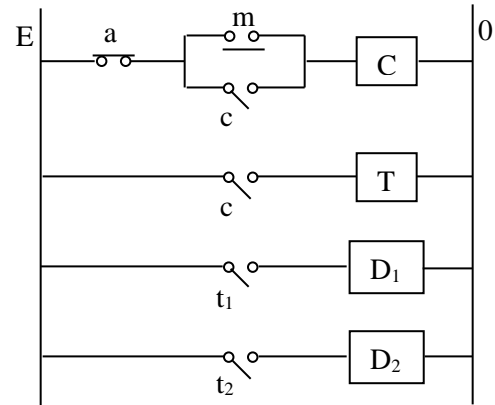
$$C = \bar{a}(m + c), \quad (2-13)$$

la priorité étant ici donnée à l'arrêt. Les bobines des contacteurs de démarrage  $D_1$  et  $D_2$  sont alimentées à travers les pôles  $t_1$  et  $t_2$  du temporisateur *T* qui doit être activé quand *c* se ferme et désactivé quand *c* s'ouvre. D'où,

$$T = c, \quad D_1 = t_1, \quad D_2 = t_2. \quad (2-14)$$

Des équations (2-13) et (2-14), on déduit le circuit de commande représenté par la figure 2-15. À noter que, pour supporter un courant relativement important, les contacts du circuit de puissance (figure 2-14) sont des pôles principaux des contacteurs ayant le même nom (voir ch.1, fig.1-

34). Les contacts *c* du circuit de commande (figure 2-15), dont le courant est relativement faible, sont des pôles auxiliaires du contacteur *C*.



**Fig. 2-15** Circuit commandant le démarrage d'un moteur cc.

*Remarque.* Aux pôles du temporisateur on doit pouvoir affecter deux retards différents  $tr_1$  et  $tr_2$ . Si un tel temporisateur n'est pas disponible, on remplace *T* dans le circuit de commande par 2 temporisateurs en parallèle connectés au pôle *c*, l'un muni d'un pôle  $t_1$  qu'on retarde de  $tr_1$  et l'autre muni d'un pôle  $t_2$  qu'on retarde de  $tr_2$ .

#### EXERCICE 2-13

Pour freiner rapidement le moteur de la figure 2-14, on le déconnecte du secteur et on branche ses bornes à la résistance  $R_2$ . Ainsi, le moteur se transforme en générateur, dissipe son énergie cinétique sous forme de chaleur et s'arrête rapidement.

Compléter les circuits des figures 2-14 et 2-15 de sorte à assurer, en plus du démarrage souple, un freinage rapide.

### 2-2-2 Portes pneumatiques

Bien que les circuits pneumatiques soient plus onéreux et plus encombrants que les portes électromagnétiques et nécessitent une source d'air comprimé de quelques bars, elles sont souvent indispensables dans un milieu inflammable ou de haute température et présentent l'avantage d'être fiables et facilement réparables.

Nous décrirons trois types de portes pneumatiques : les cellules à tiroir, les cellules à billes et les cellules statiques.

**Cellules à tiroir.** La figure 2-16 représente une cellule à tiroir à 4 orifices avec son symbole. Elle est constituée d'un cylindre dans lequel glisse un tiroir à 3 pistons lié à un ressort de rappel. Le cylindre comporte 3 orifices d'entrée x, y et z pouvant se connecter à une source d'air comprimé ou à l'air libre et un orifice de sortie s. A cause de l'équilibre des forces sur les pistons, la pression provenant de y ou de z n'a aucun effet sur le tiroir. Par contre, la pression de l'air pénétrant par l'orifice x déplace le tiroir vers la droite pour connecter z à s. À la place de l'orifice x, certaines cellules comportent un mécanisme permettant d'agir sur le tiroir manuellement ou par came. Le trait plein entre y et s du symbole représente le tiroir dans sa position de repos (c.à.d. lorsque x = 0) et connecte l'entrée y à la sortie s. Quand x devient égal à 1, on imagine que le trait plein tourne autour de s pour le connecter à z.

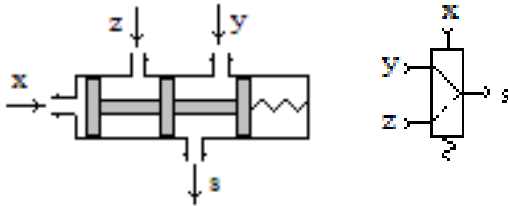


Fig. 2-16 Cellule à tiroir

Affectons à un orifice la valeur logique 1 quand la pression de l'air qui le traverse est haute et la valeur logique 0 quand cette pression est basse. Si y = 1 et z = 0, la sortie s est égale à 1 si et seulement si x = 0, d'où  $s = \bar{x}$ . Si z est toujours égal à 1, la sortie s n'est égale à 0 que si x = 0 et y = 0, d'où  $s = x + y$ . Enfin, si y est toujours égal à 0, la sortie s n'est égale à 1 que si x = 1 et z = 1, d'où  $s = xz$ . La figure 2-17 montre comment configurer la cellule pour effectuer les opérations de base NOT, OR et AND.

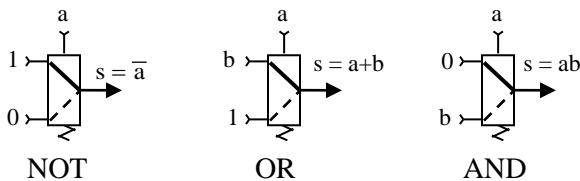


Fig. 2-17 Les 3 opérateurs pneumatiques de base

Par une combinaison convenable des opérateurs de base, on peut constituer d'autres opérateurs logiques. Il est facile de vérifier que les systèmes de la figure 2-18 effectuent les opérations indiquées.

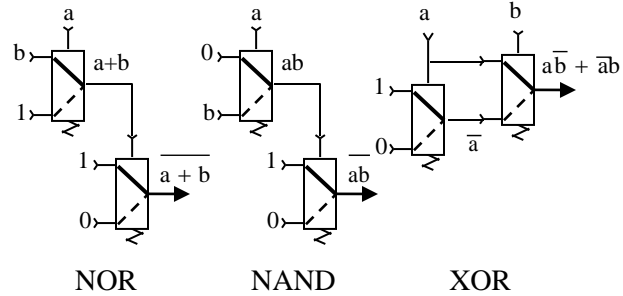


Fig. 2-18 Autres portes par combinaison de cellules.

On obtient des circuits pneumatiques moins encombrants en utilisant des cellules à 6 orifices avec 4 entrée a, x, y, z et 2 de sortie  $s_1$  et  $s_2$  vérifiant

$$s_1 = \bar{a}x + ay, \quad s_2 = \bar{a}y + az. \quad (2-15)$$

Une telle cellule effectue donc 2 opérations logiques distinctes et la figure 2-19 en donne deux exemples. Pour x = 0, y = b et z = 1, on a d'après (2-15) et (2-6),  $s_1 = ab$  et  $s_2 = \bar{a}b + a = a + b$  et pour x = z = b et y = b-bar, on a  $s_1 = \bar{a}b + ab$  et  $s_2 = \bar{a}b + ab$ .

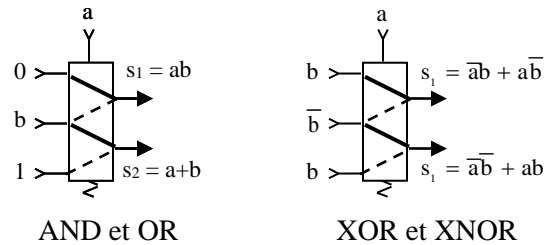


Fig. 2-19 Portes avec des cellules à 6 orifices

#### EXERCICE 2-14

Montrer que si les 2 sorties d'une cellule à 6 orifices sont toujours complémentaires quelles que soient les entrées, l'une est nécessairement un XOR et l'autre un XNOR.

Comment obtenir à l'aide d'une telle cellule les opérations NAND et NOR?

*Indication :*  $s_1$  et  $s_2$  sont de la forme (2-15).

**Mémoire.** Pour construire une mémoire à arrêt prioritaire, on peut réaliser la fonction (2-12) de la section précédente,

$$X = \bar{a}(m + x) \quad \text{avec} \quad x(t + \varepsilon) = X(t),$$

en utilisant une vanne pneumatique a ouverte au repos (voir ch1, fig.1-15), une cellule AND et une deuxième cellule OR dont le tiroir est actionné manuellement à l'aide d'une manette de marche m comme le montre la figure 2-20.

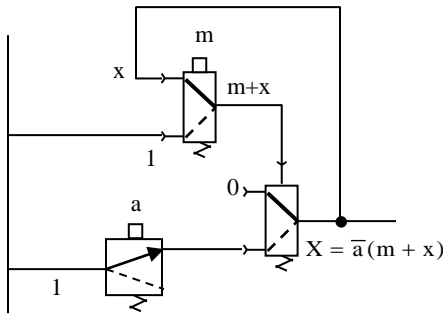


Fig. 2-20 Réalisation d'une mémoire

#### EXERCICE 2-15

Construire une mémoire à marche prioritaire d'équation  $X = m + \bar{a}x$ .

Au lieu de construire une mémoire à plusieurs éléments comme celui de la figure 2-20, il suffit d'employer une seule pièce appelée *bascule pneumatique*. Elle a la même structure que la cellule de la figure 2-16 mais elle est dépourvue du ressort de rappel et son tiroir est piloté des deux côtés par une pression d'air (figure 2-21).

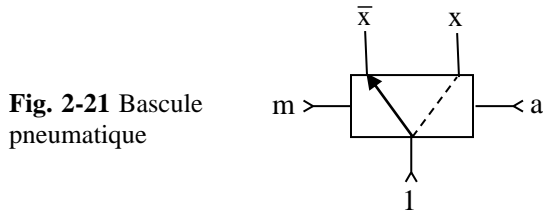


Fig. 2-21 Bascule pneumatique

Une impulsion d'air à travers l'orifice m déplace le tiroir vers la droite, connecte la sortie x à la source de pression et coupe l'écoulement d'air vers la sortie  $\bar{x}$ . Le tiroir ne retourne à sa position initiale que par une impulsion d'air à travers l'orifice a. Une action simultanée des deux côtés du tiroir est

interdite ( $m.a = 0$ ) et on a :

$$X = \bar{a}(m + x) = m + \bar{a}x \quad (2-16)$$

car  $\bar{a}m = \bar{a}m + am = m$ .

**Cellules à billes.** Ce sont des petites chambres comportant des orifices qui peuvent être obturés par des billes sous l'effet de la pression. La figure 2-22 représente les cellules OR et AND avec leurs symboles. Ces cellules sont souvent connectées à des cellules à tiroir.

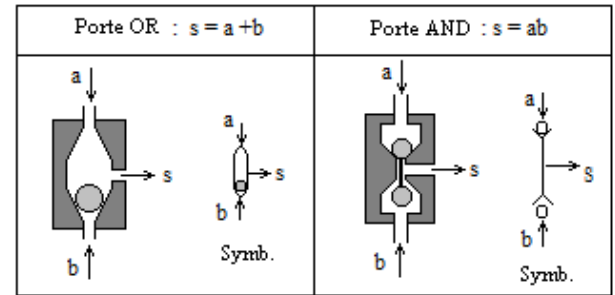


Fig. 2-22 Cellules à billes

#### Exemple 2-1.

On dispose d'un vérin à simple effet avec son distributeur (voir ch1, fig.1-49) et de deux boutons de fin de course g et d actionnés par une came fixée à l'extrémité du piston. Au repos, la came est en g. Une impulsion sur un bouton pneumatique m déplace le piston vers la droite et, durant ce trajet, d'autres actions sur m sont sans effet sur le système. Quand la came touche d, le piston recule vers la gauche et avant l'arrivée du piston à g, on peut avancer le piston vers la droite en poussant sur m ou le reculer vers la gauche en relâchant m. Il s'agit de construire les circuits de commande et de puissance de ce système.

#### Solution

En un instant où la came est entre g et d ( $g = d = 0$ ) et  $m = 0$ , le piston a deux comportements possibles : il avance vers la droite si d n'est pas encore actionné, il recule vers la gauche dans le cas contraire. Il faut donc un signal x, produit par une mémoire, qui indique au système si d est déjà actionné ou non. Convenons que x sera 1 avant la première arrivée à d et que x sera 0 durant la partie restante du cycle. La condition de mise en marche

de la mémoire est donc  $mg = 1$  (came en g et qu'on appui sur m) et sa condition d'arrêt est  $d = 1$ . D'après (2-16), l'équation de la mémoire est donc :

$$X = \bar{d}(mg + x) = mg + \bar{d}x \quad (2-17)$$

où X est la valeur suivante de x. D'autre part, la pression p qui active le distributeur doit être haute ( $p = 1$ ) quand le piston doit se déplacer vers la droite c.à.d. quand  $x = 1$  ou quand  $x = 0$  et  $m = 1$ . D'où, tenant compte de (2-6),

$$p = x + \bar{x}m = x + m. \quad (2-18)$$

Le circuit de la figure (2-23) réalise (2-17) et (2-18) et montre la connexion de l'organe de commande au système commandé à travers le distributeur du vérin.

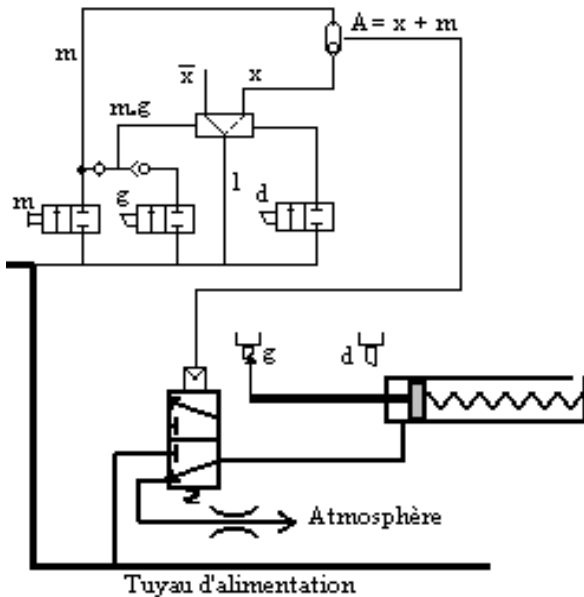


Fig. 2-23 Réalisation des équations (2-17) et (2-18)

#### EXERCICE 2-16

On dispose d'un vérin à simple effet alimenté à travers un distributeur à 3 positions (voir ch1, fig.1-50), de deux boutons de fin de course g et d actionnés par une came fixée à l'extrémité du piston et d'un bouton pneumatique m. Quand  $m = 0$ , le piston ne s'immobilise que si sa came touche d ou g. D'autre part, une impulsion sur m doit changer la

direction de déplacement du piston quelle que soit la position de sa came entre d et g.

Représenter le circuit pneumatique de commande et de puissance de ce système.

**Cellules statiques.** Ce sont des petites cellules en verre ou en céramique traversées par des fines canalisations. Elles sont peu encombrantes et supportent de hautes températures mais rarement rencontrées dans les applications à cause de la délicatesse de leur emploi. Elles fonctionnent par *effet Coanda*, principe qui détermine le mode d'écoulement d'un fluide à proximité des parois.

Considérons la cellule représentée par la figure 2-24a.

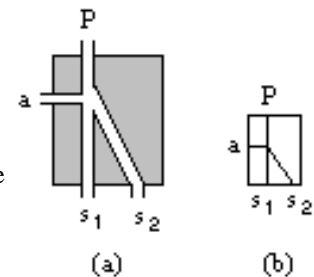


Fig. 2-24 Cellule statique NOT/EQUAL

Si l'air ne pénètre dans la cellule qu'à travers l'orifice d'alimentation P, il s'écoule en ligne droite pour sortir de l'orifice  $s_1$ . Par contre, si un autre jet d'air pénètre par l'orifice a ( $a = 1$ ), l'écoulement de P bifurque pour sortir avec celui de a de l'orifice  $s_2$ . La cellule constitue donc une porte à la fois NOT et EQUAL avec  $s_1 = \bar{a}$  et  $s_2 = a$ . Son symbole est représenté par la figure 2-24b et la figure 2-25 représente d'autres portes avec leurs symboles.

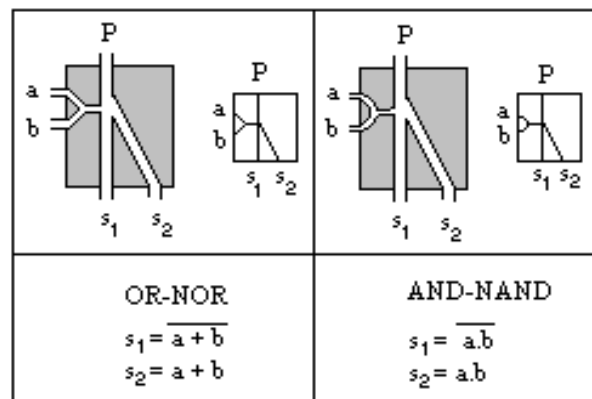
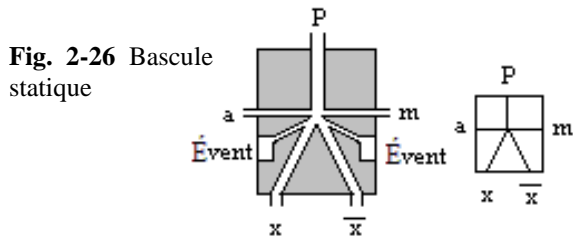


Fig. 2-25 Cellules statiques OR/NOR et AND/NAND

La figure 2-26 représente une bascule statique (mémoire) avec son symbole.



Si la dernière impulsion d'air provient de l'orifice de marche  $m$ , on a  $x = 1$  et  $\bar{x} = 0$  et si la dernière impulsion d'air provient de l'orifice d'arrêt  $a$ , on a  $x = 0$  et  $\bar{x} = 1$ . La réponse de la bascule sera indéterminée si l'air arrive simultanément à travers les deux orifices  $m$  et  $a$ . Grace aux événements montrés sur la figure, la pression dans un canal de sortie de valeur logique 0 sera voisine de la pression atmosphérique.

### 2-2-3 Portes électroniques

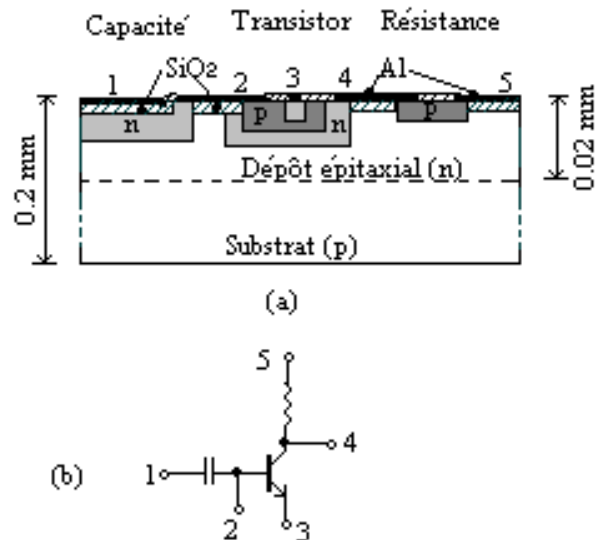
Les portes électromagnétiques ou pneumatiques ne sont utilisées que pour des systèmes logiques de faible complexité. Pour les systèmes complexes, les circuits électroniques intégrés (IC) ont l'avantage d'être beaucoup moins encombrants, fiables, silencieux, dissipent beaucoup moins d'énergie et très rapides. Cependant, ne pouvant transmettre qu'une énergie infime, ces circuits sont généralement suivis d'un amplificateur de puissance (organe d'action) de gain élevé et nécessitent pour le montage et la réparation une technicité avancée.

#### ❖ CIRCUITS INTÉGRÉS.

Nous donnons dans ce paragraphe un aperçu sur la technologie d'intégration des circuits électroniques et une classification de ces circuits selon leur complexité et leur constitution.

**Technologie.** La figure 2-27a montre le procédé d'intégration des éléments du circuit de la figure 2-27b dans une lame de silicium d'épaisseur 0.2 mm. En majeure partie, cette lame est constituée d'un substrat (support) dopé par des impuretés  $p$ . Les éléments du circuit sont intégrés dans une couche superficielle, appelée *dépôt épitaxial*, d'épaisseur 0.02 mm, légèrement dopée par des impuretés  $n$ .

L'intégration de ces éléments s'effectue par une succession de dopages convenables de ce dépôt.

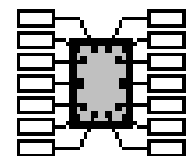


**Fig. 2-27** Intégration d'un circuit électronique

A chaque étape, on crée par oxydation superficielle une fine couche isolante d'oxyde de silicium ( $\text{SiO}_2$ ), on ouvre dans cette couche par photogravure des fenêtres là où le dopage doit avoir lieu et on introduit, par diffusion thermique, les impuretés  $p$  ou  $n$  jusqu'à la profondeur et avec la concentration désirées. Des films d'aluminium ( $\text{Al}$ ) sont déposés à la surface de la lame pour assurer les connexions entre les éléments du circuit ainsi qu'avec l'extérieur. Les numéros de ces films sur la figure (a) correspondent à ceux des connexions de la figure (b).

Ce procédé permet d'incorporer dans une pastille semi-conductrice de quelques dizaines de  $\text{mm}^2$  un ou plusieurs circuits pouvant contenir des milliers d'éléments électroniques. Les entrées et les sorties de ces circuits et leurs points d'alimentation sont connectées à des broches en aluminium (pins) à l'aide desquelles la pastille sera branchée au circuit extérieur (fig. 2-28).

**Fig. 2-28** La pastille d'un circuit intégré connectée à ses broches



Le tout est fixé à l'intérieur d'un boîtier en plastique (chip) qui ne laisse apparaître que les broches (fig. 2-29). Le fabricant fournit des notes explicatives (data sheet) sur le fonctionnement et les caractéristiques du circuit que contient le boîtier et sur le rôle de chacune de ses broches.

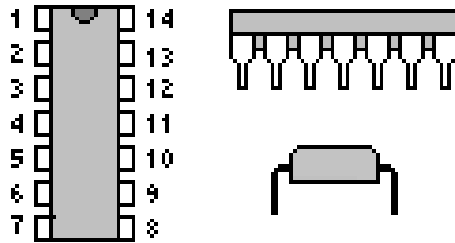


Fig. 2-29 boîtier d'un circuit intégré.

**Classification des circuits intégrés.** On classe les circuits intégrés en 4 groupes selon leur complexité.

- 1) Les circuits du groupe SSI (small-scale integrated circuits) ne comportent que quelques portes logiques.
- 2) Les circuits MSI (medium-scale integrated circuits) comportent jusqu'à 100 portes logiques.
- 3) Les circuits comportant entre 100 et 1000 portes font partie du groupe LSI (large-scale integrated circuits) et
- 4) ceux qui comportent plus que 1000 portes forment le groupe VLSI (very-large-scale integrated circuits).

Les portes logiques en circuits intégrés peuvent être conçues de plusieurs manières différentes. Les conceptions les plus utilisées actuellement se subdivisent en 4 familles :

- TTL (transistor-transistor logic),
- ECL (emitter-coupled logic),
- MOS (metal-oxide-semiconductor logic),
- CMOS (complementary MOS).

Le choix entre une famille et une autre se repose principalement sur deux critères: 1) la rapidité de transmission et 2) la dissipation d'énergie. D'une manière générale, les circuits ECL sont plus rapides que les circuits TTL mais dissipent plus d'énergie. Les circuits MOS et CMOS dissipent moins

d'énergie que les circuits TTL mais ils sont plus lents. Les circuits intégrés SSI et MSI sont le plus souvent conçus en TTL. Les circuits LSI rapides sont conçus en ECL et les circuits LSI pouvant tolérer une certaine lenteur sont conçus en CMOS. Pour les circuits VLSI, on utilise presque exclusivement la technologie MOS ou CMOS.

Nous donnerons dans ce qui suit une description simplifiée des quatre conceptions TTL, ECL, MOS et CMOS.

#### ❖ PORTES TTL (transistor-transistor logic)

La figure 2-30 représente la structure TTL d'une porte NAND à 2 entrées a et b dont la sortie s est appliquée à une charge pouvant être un autre circuit NAND.

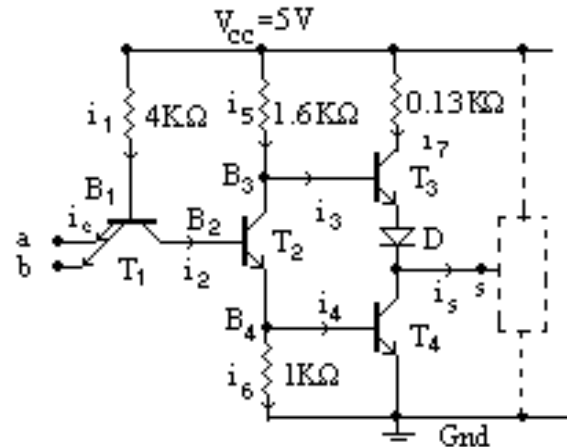


Fig. 2-30 Structure TTL d'une porte NAND

Le transistor d'entrée  $T_1$  est à émetteur multiple (à 2 émetteurs dans le cas considéré) ; il est équivalent à 2 transistors dont les bases, ainsi que les collecteurs, sont court-circuités (fig. 2-31).

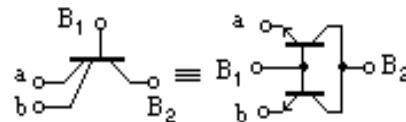


Fig. 2-31 Transistor à émetteur multiple

**Fonctionnement.** Pour comprendre le fonctionnement de cette porte, il convient de se rappeler des propriétés des diodes et des transistors



(ch.1, §1-1-2) et de tenir compte des remarques suivantes :

1) Comme la tension entre la base et l'émetteur d'un transistor ne dépasse jamais la tension de diode (0.7V), la tension en  $B_4$  est toujours inférieure à 0.7V et la tension en  $B_2$  est toujours inférieure à 1.4V. On en déduit que le transistor  $T_1$  ne peut être passant que si la tension de l'un de ses émetteurs est inférieure à 1.4V.

2) Si  $T_1$  est passant, son courant collecteur  $i_2$  est presque nul puisqu'il ne peut sortir de la base du transistor  $T_2$  qu'un faible courant de fuite.

3) Si  $T_1$  est bloqué, sa jonction base-collecteur se comporte en diode et le courant  $i_1 = i_2$  qui la traverse active le transistor  $T_2$  et par suite  $T_4$ .

Supposons que la tension à l'entrée b est fixée à 5V et faisons varier la tension à l'entrée a de 0 à 5V en passant par la tension critique 1.4V.

a)  $0 \leq V(a) < 1.4V$ .

- $T_1$  passant  $\Rightarrow i_2 < 0 \Rightarrow T_2$  bloqué  $\Rightarrow i_6 = i_4 = 0 \Rightarrow T_4$  bloqué  $\Rightarrow i_s \geq 0$ .

Considérons 2 cas :  $i_s = 0$  et  $i_s > 0$ .

- $i_s = 0 \Rightarrow i_7 = 0 \Rightarrow$  pas de chute de tension à travers  $0.13K\Omega$ ,  $T_3$  et D  $\Rightarrow V(s) = 5V$ .
- $i_s > 0 \Rightarrow T_3$  passant et comme  $T_2$  est bloqué, on a  $i_5 = i_3$  et

$$V(s) = 5 - 1.6i_3 - 0.7 - 0.7 = 3.6 - 1.6i_3.$$

Ainsi si  $0 \leq V(a) < 1.4V$ , la tension de sortie  $V(s)$  sera égale à 5V si  $i_s = 0$  mais elle sera plus faible que 3.6V si  $i_s > 0$ . Comme  $i_3$  croît avec  $i_s$ ,  $V(s)$  diminue quand  $i_s$  augmente.

b)  $1.4 \leq V(a) \leq 5V$ .

$T_1$  bloqué,  $T_2$  et  $T_4$  passants (remarque 3 ci-dessus)  
 $\Rightarrow V(B_4) = 0.7V$ ,  $V(B_2) = 1.4V$ ,  $V(B_1) = 2.1V$   
 $\Rightarrow i_1 = i_2 = (5 - 2.1)/4 = 0.725mA$ .

$i_2$  sature fortement  $T_2$  car son courant collecteur est inférieur à  $(5 - 0.7)/1.6 = 2.687mA \ll \beta.i_2$  où le gain  $\beta > 10$ .

$\Rightarrow V(B_3) \approx V(B_4) = 0.7V \Rightarrow T_3$  bloqué car, à cause de la diode D,  $T_3$  n'est passant que si  $V(B_3) \geq 1.4V$ . Enfin, le courant

$$i_4 = i_5 + i_2 - i_6 > (5 - 1.4)/1.6 + 0.725 - 0.7 = 2.275mA,$$

sature fortement  $T_4$  (sauf si  $-i_s$  est trop grand).

$\Rightarrow V(s)$  est voisin de 0V.

#### EXERCICE 2-17

Pour  $V(b) = 5V$  et sachant que le gain des transistors du circuit de la figure 2-30 est  $\beta = 10$  et que leur tension de saturation est de 1volt, estimer le courant de charge  $i_s$  dans les deux cas suivants:

- $V(a) = 0.8V$ ,  $V(s) = 3V$ .
- $V(a) = 2V$ ,  $V(s) = 0.2V$ .

Réponses : a) 3.65mA ; b) -5mA.

**Caractéristiques et conventions.** Ce qui précède montre que, pour  $V(b) = 5V$ , la tension de sortie  $V(s)$  d'une porte NAND en TTL est liée à la tension d'entrée  $V(a)$  selon des courbes caractéristiques dont l'allure est représentée sur la figure 2-32.

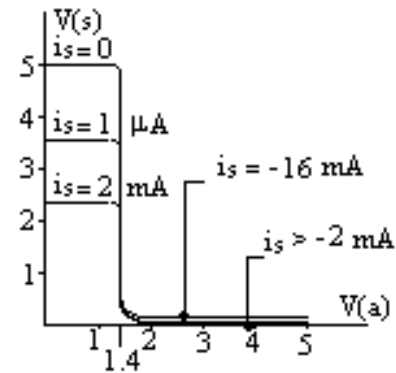


Fig. 2-32 Caractéristique de NAND en TTL

- 1) Si l'entrée  $V(a)$  est inférieure à 1.4 volts, la sortie  $V(s)$  est presque constante dont la valeur est d'autant plus haute que le courant de charge  $i_s$  est faible.
- 2) Si l'entrée  $V(a)$  est supérieure à 1.4 volts, la sortie  $V(s)$  est presque nulle sauf si le courant de charge  $-i_s$  est trop grand.
- 3) Si l'entrée  $V(a)$  est égale à 1.4 volts ou voisine de cette valeur, la tension de sortie  $V(s)$  est indéterminée.

L'indétermination est évitée si la tension d'entrée  $V(a)$  n'est pas comprise entre 0.8 et 2 volts. Or cette entrée est souvent la tension de sortie  $V(s)$  d'une autre porte à laquelle peut s'ajouter un bruit



dû, par exemple, à des effets électromagnétiques ou aux fluctuations de la tension d'alimentation (5V). Pour réduire le risque d'avoir  $0.8 \leq V(s) + \text{bruit} \leq 2$  volts, on prendra la précaution que  $V(s)$  soit à l'extérieur de l'intervalle [0.4V, 2.4V]. Ainsi, pour un bruit d'amplitude inférieure à 0.4V, la tension à l'entrée de la porte suivante reste dans les limites permises. Ces conditions seront satisfaites si le courant de charge  $i_s$  est compris entre -16 et 2mA (fig. 2-32).

La figure 2-33 montre les conventions adoptées en logique TTL.

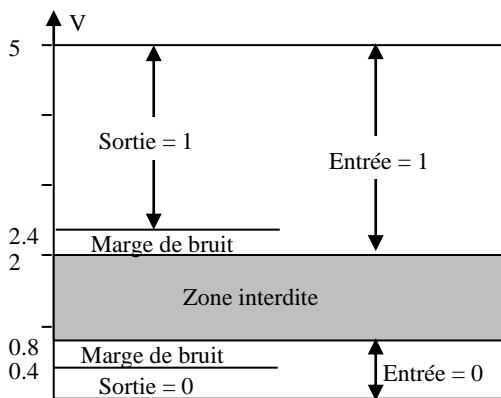


Fig. 2-33 Conventions de la logique TTL

- 1) On associe à une entrée a la valeur logique 0 si  $V(a) < 0.8V$  et la valeur logique 1 si  $V(a) > 2V$ .
- 2) On associe à la sortie s la valeur logique 0 si  $V(s) < 0.4V$  et la valeur logique 1 si  $V(s) > 2.4V$ .

Le circuit de la figure 2-30 est donc bien une porte NAND puisque sa sortie s ne prend la valeur logique 0 que si ses entrées a et b ont, toutes les deux, la valeur logique 1. Comme l'opération NAND est universelle (voir §2-1-3), toutes les autres portes logiques (AND, OR, XOR,...) peuvent être obtenues par combinaison de portes NAND (NOT est un NAND à une seule entrée). Pour éviter l'encombrement de ces combinaisons et réduire le coût des circuits ainsi que les effets des perturbations, les fabricants fournissent toutes ces portes en circuits intégrés.

**Remarque.** La convention précédente est la plus fréquemment adoptée. Elle associe aux tensions hautes la valeur logique 1 et aux tensions basses la

valeur logique 0 et elle est appelée *logique positive*. Néanmoins, on rencontre des applications où la convention opposée, appelée *logique négative*, est utilisée. Selon cette convention, on associe la valeur logique 1 aux tensions basses et la valeur logique 0 aux tensions hautes. Par exemple, pour le circuit de la figure 2-30, on a, en logique positive,  $s = \overline{a.b}$  mais, en logique négative, les variables seront complémentées ce qui donne :

$$\overline{s} = \overline{\overline{a.b}} = \overline{a + b} \Leftrightarrow s = \overline{a + b}.$$

Ainsi, le même circuit électronique, interprété NAND en logique positive, s'interprète NOR en logique négative. Par la suite, la convention de la logique positive sera adoptée sauf mention contraire.

#### EXERCICE 2-18

Que deviennent en logique opposée les portes NOR, AND, OR, XOR et XNOR.

**Paramètres.** Parmi les données fournies par le fabricant d'un circuit intégré figurent les paramètres suivants, souvent utiles à la conception d'un circuit logique fiable et performant.

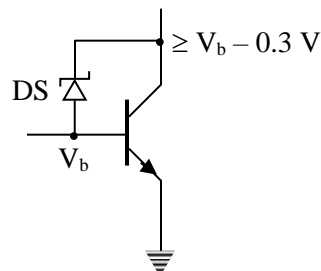
**Sortance.** Nous avons vu que la porte NAND décrit ci-dessus ne fonctionne correctement que si son courant de charge  $i_s$  ne dépasse pas certaines limites ( $-16mA < i_s < 2mA$ ). Or l'intensité de ce courant est d'autant plus grande que le nombre n de portes connectées en parallèle à la sortie s est grand. Le maximum admissible de ce nombre n est appelé la *sortance* (fan out) de la porte.

**Dissipation calorifique.** Bien que l'énergie dissipée dans les résistances et les transistors d'une porte en circuit intégré soit minime, le nombre de portes qu'on peut intégrer par unité de surface d'une pastille semi-conductrice est d'autant plus faible que l'énergie dissipée par porte est grande. Par un choix convenable des résistances et des caractéristiques des transistors ainsi que par la technologie d'isolation de ces éléments au sein du semi-conducteur, on arrive à réduire l'énergie dissipée (version TTL à faible dissipation) mais cela aux dépens de la vitesse de propagation des signaux

à travers la porte.

**Temps de propagation.** Les jonctions des transistors du circuit de la figure 2-30 se comportent comme des capacités où s'accumulent des charges électriques pendant la saturation de ces transistors. Comme pour les circuits RC, il s'écoule un certain temps pour passer d'un état d'équilibre des tensions à un autre état d'équilibre. Ce retard est d'autant plus grand que le taux de saturation des transistors est grand. Le *temps de propagation* d'une porte est la durée entre l'instant où l'entrée change de valeur et l'instant où la sortie arrive à sa nouvelle valeur d'équilibre. En général, le temps de propagation pour hausser la tension de sortie de la porte n'est pas le même que pour la baisser. Ces temps sont respectivement désignés par  $t_{PLH}$  (low-high propagation delay) et  $t_{PHL}$  (high-low propagation delay). Les circuits TTL sont conçus de sorte que  $t_{PLH} \approx t_{PHL}$  et ces durées augmentent généralement avec le courant de charge  $i_s$ .

**TTL rapide et Schottky.** Il est possible de réduire la durée de propagation en diminuant les valeurs des résistances et en augmentant le gain  $\beta$  des transistors (version TTL rapide). Ceci produit des courants plus élevés à travers le circuit donc un transfert de charges plus rapide mais dissipe nécessairement plus d'énergie. Une meilleure solution (version TTL S) consiste à éviter les fortes saturations en intercalant une diode Schottky DS entre la base et le collecteur de chaque transistor comme le montre la figure 2-34. Cette diode a la caractéristique de devenir passante à 0.3V au lieu de 0.6 ou 0.7V ce qui empêche la tension du collecteur à trop baisser et limite donc le degré de saturation du transistor.



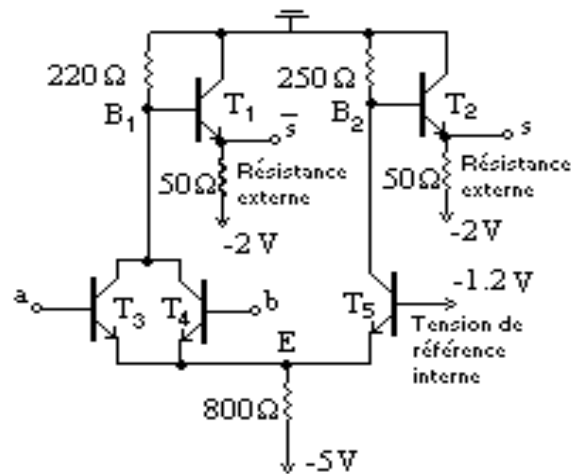
**Fig. 2-34** Transistor Schottky

Cependant cette solution a aussi son inconvénient. En effet, à cause de la présence d'une diode Schottky entre la base et le collecteur du transistor  $T_4$  du circuit de la figure 2-30, la tension de sortie

$V(s)$  est toujours supérieure à 0.3 volt d'où la marge de bruit des portes Schottky est plus faible que la marge de bruit dans les portes TTL régulières.

### ❖ PORTES ECL (emitter-coupled logic)

La figure 2-35 représente le circuit d'une porte OR-NOR en ECL à deux entrées a et b. Il est alimenté par une tension négative  $-5V$  et comprend un circuit auxiliaire, non montré sur la figure, qui délivre une tension de référence de  $-1.2V$ . Les sorties s et  $\bar{s}$  sont connectées à une tension extérieure de  $-2V$  à travers des résistances de  $50\Omega$ . Par convention, on associe aux tensions supérieures à  $-1V$  la valeur logique 1 et aux tensions inférieures à  $-1.4V$  la valeur logique 0.



**Fig. 2-35** Porte OR-NOR en ECL

**Fonctionnement.** Considérons les 2 cas suivants.

a) Si l'une des entrées a une valeur logique 1 (disons  $a = -0.8V$ ), le transistor  $T_3$  est passant,  $V(E) = -0.8 - 0.7 = -1.5V$  et le transistor  $T_5$  est bloqué.  $V(B_1)$  et  $V(\bar{s})$  sont donc basses alors que  $V(B_2)$  et  $V(s)$  sont hautes. Pour les transistors utilisés,  $V(\bar{s})$  est d'environ  $-1.6V$  (de valeur logique 0) et  $V(s)$  est d'environ  $-0.8V$  (de valeur logique 1).

b) Si les deux entrées a et b ont la même valeur logique 0 ( $-1.6V$ ),  $V(E) = -1.2 - 0.7 = -1.9V$ ,  $T_5$  est passant et les transistors  $T_3$  et  $T_4$  sont bloqués.  $V(B_1)$  et  $V(\bar{s})$  sont donc hautes alors que  $V(B_2)$  et  $V(s)$  sont basses. Pour les transistors utilisés,  $V(s) \approx$

$-0.8V$  (de valeur logique 1) et  $V(\bar{s}) \approx -1.6V$  (de valeur logique 0).

D'après ce qui précède, on voit que  $s$  est une sortie OR puisqu'elle n'est égale à 0 que si les deux entrées sont 0 et que  $\bar{s}$  est une sortie NOR. Comme NOR est une opération universelle, les autres portes ECL peuvent être obtenues par combinaison de portes OR-NOR.

**Particularités.** Les portes ECL ont les propriétés particulières suivantes :

1) Elles ont la plus courte durée de propagation mais dissipent, par ce fait même, le plus d'énergie. Leur rapidité est due aux valeurs relativement faibles des résistances et à la faible saturation des transistors (leur tension  $V_{CE}$  étant toujours supérieure à  $0.5V$ ). Les résistances  $50\Omega$  sont placées à l'extérieur du circuit intégré afin de lui éviter un échauffement excessif. En effet, à elles seules, ces résistances consomment  $(2 - 1.6)^2/50 + (2 - 0.8)^2/50 = 32mW$ , soit environ la même consommation que le circuit intégré lui-même.

2) La figure 2-36a représente le symbole d'une porte OR-NOR. Parfois, les transistors  $T_1$  et  $T_2$  de la figure 2-35 sont à émetteur multiple ce qui donne plusieurs sorties OR et plusieurs sorties NOR comme le symbolise la figure 2-36b.

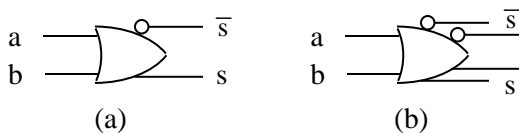
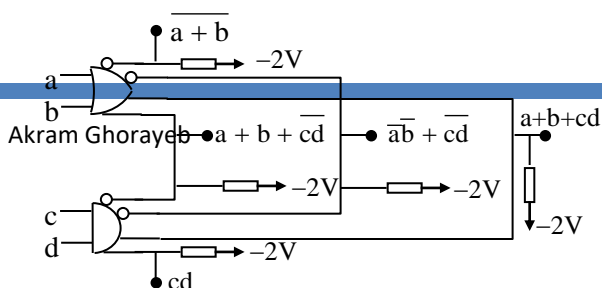


Fig. 2-36 Symboles de portes OR-NOR en ECL

D'autre part, contrairement aux portes TTL, il est possible de connecter la sortie d'une porte ECL à la sortie d'une autre porte ECL pour obtenir une sortie commune égale à la somme logique des deux premières sans le besoin d'une nouvelle porte OR.

Ceci permet parfois de réduire le nombre de portes d'un circuit et, par conséquent, de diminuer la durée de propagation globale ainsi que l'échauffement. La figure 2-37 fournit l'exemple d'un circuit à 4 entrées et 5 sorties ne comportant que deux portes ECL.



### EXERCICE 2-19

Que donne la connexion des sorties de deux portes TTL ? Pourquoi faut-il l'éviter ? Peut-on connecter en ECL la sortie  $s$  d'une porte à émetteur simple à deux sorties  $s_1$  et  $s_2$  d'autres portes pour obtenir  $s+s_1$  et  $s+s_2$  ?

### ❖ PORTES MOS (metal-oxide semiconductor)

Considérons le circuit de la figure 2-38a.

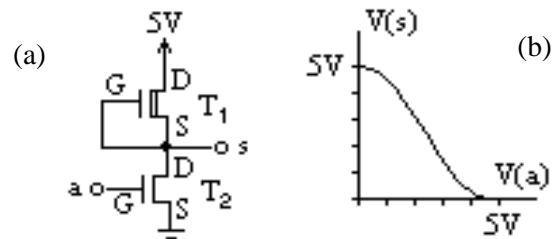


Fig. 2-38 NOT en MOS et sa caractéristique.

Il comporte deux transistors MOS  $T_1$  et  $T_2$  à canal n.  $T_1$  est fermé au repos (normally on) et  $T_2$  est ouvert au repos (normally off). La tension  $V_{GS}$  de  $T_1$  étant toujours nulle, il est passant et se comporte comme une résistance mais occupe moins de place dans un circuit intégré. Quand la tension en  $a$  est nulle,  $T_2$  est bloqué, le courant de charge (sortant de  $s$ ) étant supposé nul, aucun courant ne traverse  $T_1$  et on a  $V(s) = 5V$ . Quand  $V(a)$  augmente de 0 jusqu'à  $5V$ , le courant à travers les transistors augmente et la tension  $V(s)$  diminue pour tendre vers 0. La figure 2-38b montre l'allure de la courbe liant  $V(s)$  à  $V(a)$ . Contrairement aux portes TTL où la tension  $V(s)$  est presque constante des deux côtés de la tension critique  $1.4V$ , la tension de sortie d'une porte MOS diminue d'une manière progressive. Pour éviter des ambiguïtés logiques, il est nécessaire que la tension d'entrée  $V(a)$  soit assez voisine de  $0V$  ou de  $5V$ .

afin que la tension de sortie soit voisine de 5V ou de 0V. Avec ces précautions, on peut écrire  $s = \bar{a}$  et le circuit de la figure 2-38a est un inverseur. Il est facile de vérifier que le circuit (a) de la figure 2-39 est une porte NAND et que le circuit (b) est une porte NOR.

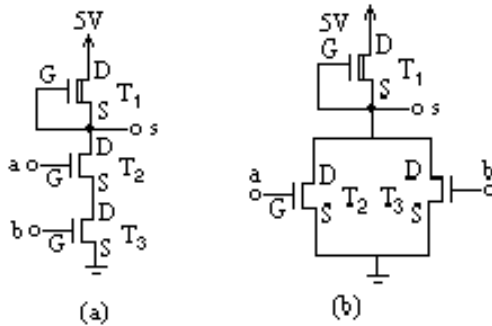


Fig. 2-39 Portes NAND et NOR en MOS

Le degré d'intégration des circuits MOS (nombre de portes par unité de surface) est grand puisqu'ils consomment peu d'énergie et occupent peu de place, ce qui explique leur emploi dans les circuits LSI et en mémoires électroniques.

#### EXERCICE 2-20

Concevoir en MOS et de la manière la plus simple les portes AND, OR, XOR et XNOR.

#### ❖ PORTES CMOS (complementary MOS)

Le circuit de la figure 3-40a est un inverseur CMOS.

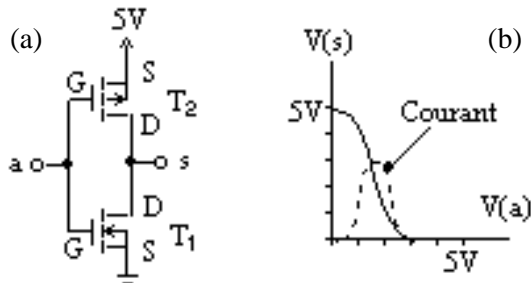


Fig. 2-40 NOT en CMOS et sa caractéristique

Il comporte deux transistors MOS à enrichissement,  $T_1$  à canal n et  $T_2$  à canal p. Quand  $V(a) = 0V$ , la tension  $V_{GS}$  de  $T_1$  est nulle tandis que la tension  $V_{GS}$

de  $T_2$  est égale à  $-5V$ . D'où  $T_1$  est bloqué,  $T_2$  est passant et la tension à la sortie  $s$  est égale à 5V. Quand  $V(a) = 5V$ ,  $V_{GS}(T_1) = 5V$  et  $V_{GS}(T_2) = 0V$  d'où  $T_1$  est passant et  $T_2$  est bloqué et  $V(s) = 0V$ . On voit bien que  $s = \bar{a}$ .

Dans les deux états du circuit précédent, aucun courant (à part les fuites) ne traverse les transistors, ce qui explique sa très faible consommation d'énergie. Cependant, si la tension  $V(a)$  est éloignée de 0 ou de 5V, les deux transistors deviennent simultanément passants et la consommation d'énergie augmente (fig. 2-40b). Si l'on désire éviter des tensions non voisines de 0 ou de 5V, on ajoute à l'inverseur un circuit *tampon* (buffer) constitué de deux inverseurs en série comme le montre la figure 2-41.

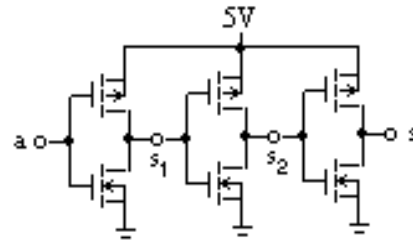


Fig. 2-41 NOT avec tampon.

La figure 2-42 donne une interprétation graphique du rôle du circuit tampon. Elle montre, pour chaque tension d'entrée  $V(a)$ , comment obtenir la tension de sortie  $V(s)$  du tampon à partir de la tension de sortie  $V(s_1)$  du premier inverseur.

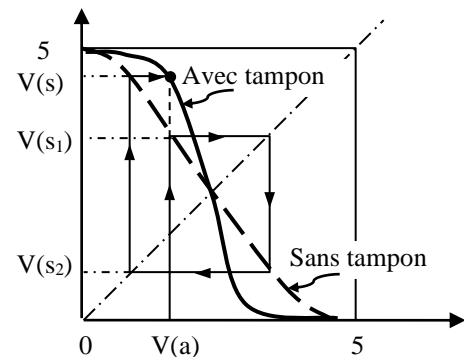


Fig. 2-42 Rôle du tampon

On voit sur cette figure que lorsqu'un bruit écarte la tension d'entrée de 0V ou de 5V, la tension de sortie

du tampon ne s'écarte que peu de 5V ou de 0V.

Par une simple inspection, le lecteur peut voir que les circuits (a) et (b) de la figure 2-43 sont respectivement des portes NAND et NOR. Comme pour l'inverseur, un tampon améliore la réponse de ces portes.

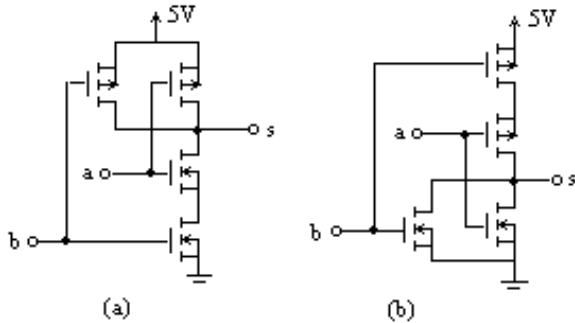


Fig. 2-43 Portes NAND et NOR en CMOS

#### EXERCICE 2-21

Concevoir en CMOS et de la manière la plus simple les portes AND, OR, XOR et XNOR.

**Tableau comparatif.** Le tableau au bas de la page donne quelques éléments de comparaison entre les versions des trois familles TTL, ECL et CMOS. Les valeurs dans ce tableau ne sont qu'indicatives et la consultation de la dernière édition des catalogues est conseillée.

#### ❖ CIRCUITS TAMPONS

Nous décrivons dans ce qui suit la porte TTL à collecteur ouvert et l'inverseur 3 états et nous montrons leur utilité. Nous terminons par une

discussion sur la connexion de deux circuits de familles différentes.

**TTL à collecteur ouvert (OC TTL).** L'analyse du circuit de cette porte (fig. 2-44) ressemble à celle d'un inverseur TTL (fig. 2-30 avec une seule entrée).

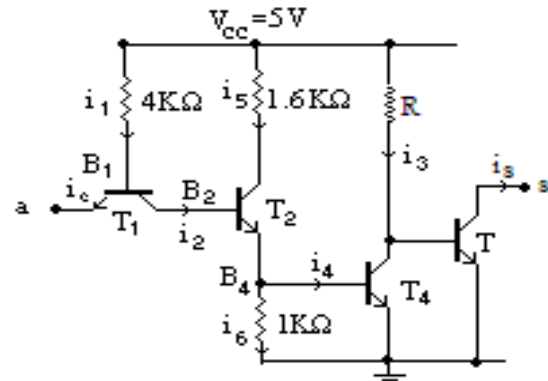


Fig. 2-44 Tampon à collecteur ouvert

Quand l'entrée  $a = 0$  (voisin de 0V),  $T_2$  et  $T_4$  se bloquent et  $T_3$  se sature pour connecter la sortie  $s$  à la masse ( $s = 0$ ). Quand  $a = 1$  (voisine de 5V),  $T_2$  et  $T_4$  conduisent,  $T_3$  se bloque et la sortie  $s$  devient électriquement isolée du circuit (flottante). Le courant  $i_s$  n'est donc jamais positif (vers l'extérieur).

**Remarques.** Une entrée flottante a le même effet sur une porte TTL qu'une entrée de valeur logique 1 car, dans les deux cas, le transistor  $T_1$  se bloque et le courant de sa base se dirige entièrement vers la base de  $T_2$ . Par conséquent, en connectant la sortie d'un TTL à collecteur ouvert à l'entrée d'une porte TTL,

il se comporte comme une porte EQUAL.

Famille	Version	Tension d'alimentation	Zone interdite	Marge de bruit	Sortance	Dissipation d'énergie	Temps de propagation
TTL	Rapide	$V_{CC} = 5\text{ V}$	0.8 à 2 V	0.4 V	10	40 mW	10 ns
	Régulier	5 V	0.8 à 2 V	0.4 V	10	20 mW	22 ns
	Faible perte	5 V	0.8 à 2 V	0.4 V	10	2 mW	60 ns
	Schottky rapide	5 V	0.8 à 2 V	0.35 V	10	36 mW	5 ns
	Schottky faible perte	5 V	0.8 à 2 V	0.3 V	10	4 mW	15 ns
ECL	Rapide	-5 V	-1.4 à -1 V	.....	25	60 mW	1.5 ns
CMOS	Sans tampon	$V_{DD} = 3 \text{ à } 15\text{ V}$	0.1 à $0.9V_{DD}$	.....	>50	30 à 150 $\mu\text{W}$	60 à 10 ns
	Avec tampon	$V_{DD} = 3 \text{ à } 15\text{ V}$	0.3 à $0.7V_{DD}$	$0.29V_{DD}$	>50	30 à 150 $\mu\text{W}$	120 à 30 ns
	Rapide avec tampon	$V_{DD} = 5\text{ V}$	0.3 à $0.7V_{DD}$	$0.29V_{DD}$	>50	100 $\mu\text{W}$	10 ns



Si le transistor  $T_1$  est à émetteur multiple, la sortie  $s$  sera nulle quand l'une des entrées est nulle et elle sera flottante quand les deux entrées sont égales à 1. Le circuit se comportera donc comme un AND (à collecteur ouvert).

En connectant les sorties  $s_1$  et  $s_2$  de deux portes TTL à collecteur ouvert, leur point commun  $s$  sera lié à la masse si l'une des sorties  $s_1$  ou  $s_2$  est à la masse et il sera flottant si les deux sorties  $s_1$  et  $s_2$  sont flottantes. Le point  $s$  sera donc le produit logique de  $s_1 s_2$  sans le besoin d'une porte AND.

**Inverseur 3 états.** Le circuit d'un inverseur TTL à trois états est représenté par la figure 2-45. Il diffère du circuit régulier par une liaison entre la base du transistor  $T_3$  et l'un des émetteurs du transistor  $T_1$  à travers une diode  $D_1$ .

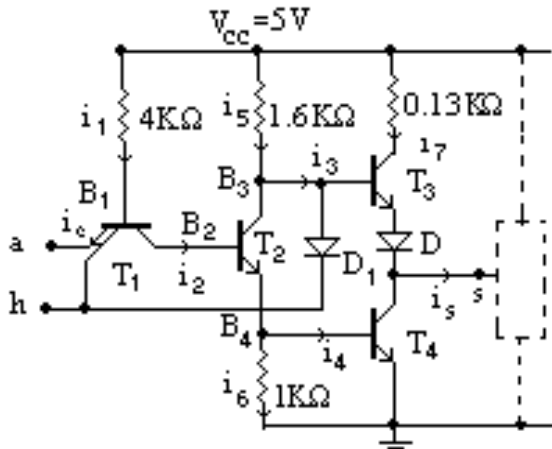


Fig. 2-45 Inverseur 3 états

a) Quand  $V(h) = 5\text{ V}$ , la diode  $D_1$  est bloquée et le circuit se comporte comme un inverseur habituel.

b) Quand  $V(h) = 0\text{ V}$ , d'un côté  $V(B_3) = 0.7\text{ V}$  d'où le transistor  $T_3$  est bloqué et, d'un autre côté,  $V(B_2) = V(h) = 0\text{ V}$ , le transistor  $T_2$  est bloqué d'où  $V(B_4) = 0\text{ V}$  et le transistor  $T_4$  est bloqué. Ainsi, pour  $V(h) = 0\text{ V}$ ,  $T_3$  et  $T_4$  se bloquent et la sortie  $s$  devient électriquement isolée du reste du circuit.

Les trois états logiques de la sortie sont donc:

$s = 1$  si  $h = 1$  et  $a = 0$ ,

$s = 0$  si  $h = 1$  et  $a = 1$ ,

$s$  flottante si  $h = 0$ .

Quand  $s$  est flottante, l'impédance entre  $s$  et la masse ou entre  $s$  et  $V_{CC}$  est infinie et on dit dans ce

cas qu'on a une *haute impédance* de sortie.

La figure 2-46a montre le symbole d'un inverseur 3 états et la figure 2-46b représente le circuit d'un sélecteur comportant deux inverseurs 3 états.

Pour le sélecteur, si  $h = 1$ ,  $s$  est déconnecté de  $b$  et il est égal à  $a$  et si  $h = 0$ ,  $s$  est déconnecté de  $a$  et il est égal à  $b$ . L'équation de ce circuit est donc  $s = ha + \bar{h}b$ .

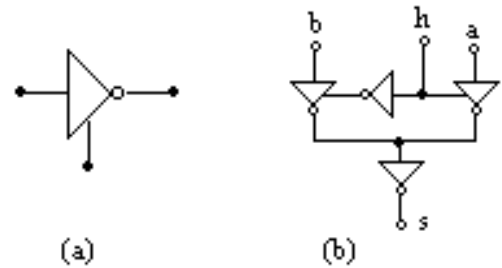


Fig. 2-46 Symbole d'un inverseur 3 états et le circuit d'un sélecteur

## ❖ ACCOUPLEMENT

D'une façon générale, la sortie d'une porte  $P_1$  appartenant à une famille  $F_1$  ne peut pas se connecter directement à l'entrée d'une porte  $P_2$  d'une autre famille  $F_2$  et ceci pour les raisons suivantes:

- 1) Une même tension, interprétée comme un 1 logique par la porte  $P_1$ , peut être interprétée comme un 0 logique par la porte  $P_2$  ou appartenir à sa zone interdite.
- 2) Le courant à l'entrée de  $P_2$  peut dépasser les limites admissibles du courant de charge de  $P_1$ .

Pour remédier à ces difficultés, on intercale entre  $P_1$  et  $P_2$  un circuit *tampon* (buffer) dont l'entrée s'adapte, en courant et en tension, avec la sortie de  $P_1$  et la sortie avec l'entrée de  $P_2$ .

Supposons par exemple qu'on désire connecter la sortie d'une porte TTL régulière à l'entrée d'une porte CMOS avec tampon alimentée sous 10V. En se référant au tableau comparatif ci-dessus, on constate que si la sortie de la porte TTL est un 0 logique, sa tension est inférieure à 0.4V qui est inférieure à  $0.3V_{DD} = 3\text{ V}$  et sera donc correctement interprétée par la porte CMOS comme un 0 logique.

Par contre, si la sortie de la porte TTL est un 1 logique, sa tension est inférieure à 5V qui est inférieure à  $0.7V_{DD} = 7V$  et elle peut être interprétée par la porte CMOS comme un 0 logique au lieu de 1. Une solution qui évite cette confusion possible consiste à intercaler entre les deux portes un tampon TTL à collecteur ouvert (disponible en circuit intégré sous le numéro de série 7407 ou 7417) comme le montre la figure 2-47.

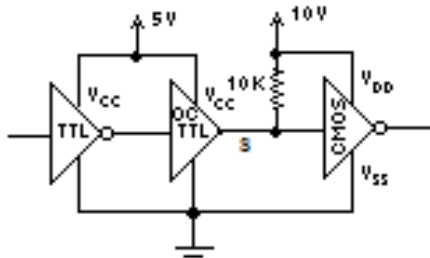


Fig. 2-47 Couplage TTL/CMOS

Ainsi, quand la sortie du TTL est un 0 logique, la sortie s du OC TTL est connectée à la masse d'où l'entrée du CMOS est d'environ 0V et l'interprète correctement comme 0 logique. Quand la sortie du TTL est un 1 logique, s est flottante et aucun courant ne peut traverser la résistance 10K $\Omega$  (le courant à travers la grille du CMOS est toujours nul) d'où la tension à l'entrée du CMOS est 10V et l'interprète aussi correctement comme un 1 logique.

Une autre solution consiste à hausser la tension de sortie de la porte TTL à l'aide d'un transistor comme le montre la figure 2-48, les résistances étant choisies de sorte à saturer le transistor quand il est passant sans que le courant sortant du TTL dépasse la limite permise (2mA).

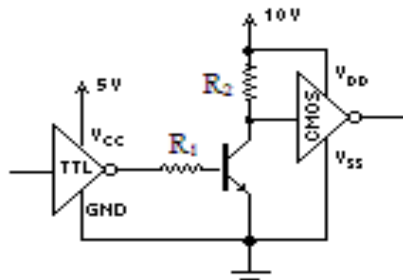


Fig. 2-48 Circuit d'adaptation TTL/CMOS

#### EXERCICE 2-21

Choisir pour le circuit de la figure 2-48 les résistances  $R_1$  et  $R_2$ .

Signalons que la sortie d'un CMOS\_5V, étant toujours voisine de 0V ou de 5V, se connecte directement à l'entrée d'un TTL (fig. 2-49a). Par contre, quand la tension de sortie d'un TTL est voisine de 2.4V, sa valeur logique pour le TTL est 1 mais pour le CMOS\_5V elle se trouve dans sa zone interdite. On évite cette confusion qui peut avoir lieu durant le régime transitoire, en branchant entre les deux portes une résistance R de rehaussement (pull-up resistor). Ceci diminue le courant sortant du TTL et augmente par conséquent la tension de sa sortie (fig. 2-49b).

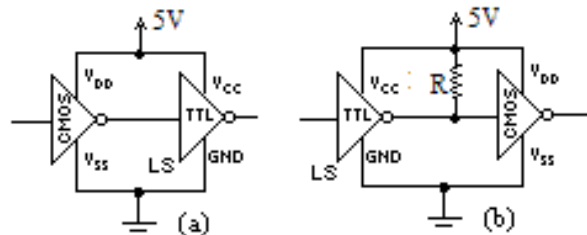


Fig. 2-49 Couplage TTL/CMOS\_5V

Enfin, la figure 2-50 montre la manière de connecter une sortie CMOS\_10V à une entrée TTL à travers un tampon CMOS\_5V de numéro de série 4049 dont l'entrée s'adapte à la sortie du CMOS\_10V.

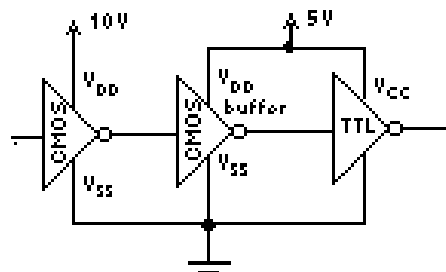
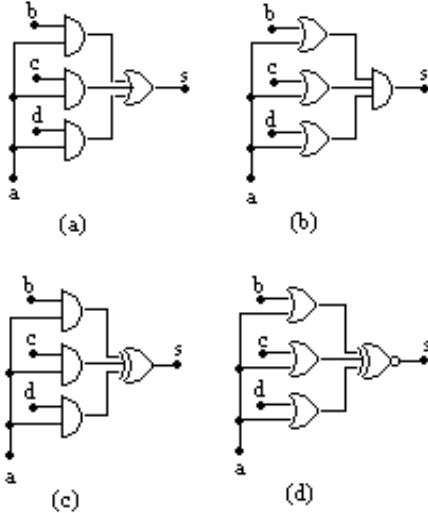


Fig. 2-50 Couplage CMOS\_10V/TTL



**AUTRES EXERCICES ET COMPLÉMENTS**

**2-22.** Remplacer chacun des circuits suivants par un circuit équivalent à deux portes.



**2-23.** Le *théorème de Shannon* est une généralisation du théorème de De Morgan et s'énonce comme suit : *Le complément d'une expression logique comportant les opérateurs AND, OR, XOR, XNOR et NOT s'obtient en remplaçant chaque AND par un OR et chaque OR par un AND, chaque XOR par un XNOR et chaque XNOR par un XOR et en complémentant toutes les variables.*

a) Vérifier ce théorème en déterminant les compléments des expressions suivantes :

$$a + \bar{b}.c, \quad a \oplus b, \quad a \oplus (\bar{b} \otimes c), \quad \overline{(a + \bar{b}).c}, \quad \overline{a.(\bar{b} \oplus c) + d}$$

b) Appliquer ce théorème pour déterminer les compléments des expressions suivantes et vérifier chaque résultat à l'aide d'une table de vérité.

$$(a + \bar{b}) \otimes c + \bar{a}.(b \oplus c), \quad \left[ (a + b) \oplus \bar{c} \right] \otimes \left[ (\bar{a} + c) \oplus b \right]$$

**2-24.** Réaliser exclusivement en portes NAND les expressions suivantes :

$$f_1 = c.\bar{d} + a.(b + \bar{c}) + \bar{a}.(d.\bar{b} + c),$$

$$f_2 = (a.b + c).(b \oplus \bar{d}) + a.(\bar{b} \otimes c).(d + \bar{e}).$$

**2-25.** Réaliser exclusivement en portes NOR les expressions  $f_1$  et  $f_2$  de l'exercice précédent.

**2-26.** En remarquant que toute expression à  $n$  variables logiques  $f(a_1, a_2, \dots, a_n)$  peut s'écrire sous la forme  $\bar{a}_1 f(0, a_2, \dots, a_n) + a_1 f(1, a_2, \dots, a_n)$ , montrer les égalités suivantes :

$$ab + \bar{a}\bar{b}c = a(b + c)$$

$$a\bar{b} + ad + b\bar{d} + \bar{a}b = a + b$$

$$(ab) \oplus b + (a \oplus c)\bar{c}b + abc = b$$

$$a(b \otimes c) + b(a \oplus c) + ab(d \otimes c) + acbd = a + bc$$

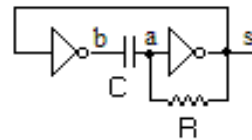
**2-27.** Construire un circuit logique à 4 entrées, numérotées 1, 2, 3 et 4, dont la sortie  $s$  est égale à 1 si et seulement si la somme des numéros des entrées sous tension est divisible par 3 sans que l'entrée n° 3 soit la seule sous tension. Ce circuit ne doit comporter que 2 portes chacune à 2 entrées.

**2-28.** Soit  $r$  un signal logique. Construire un circuit qui associe au vecteur logique  $A = (a_1, a_2, a_3)$  sa rotation à droite,  $\vec{A} = (a_2, a_3, a_1)$ , si  $r = 0$ , sa rotation à gauche,  $\overleftarrow{A} = (a_3, a_1, a_2)$ , si  $r = 1$ .

**2-29.** Construire pour chacune des expressions logiques suivantes un circuit pneumatique utilisant a) des cellules à piston, b) des cellules statiques:

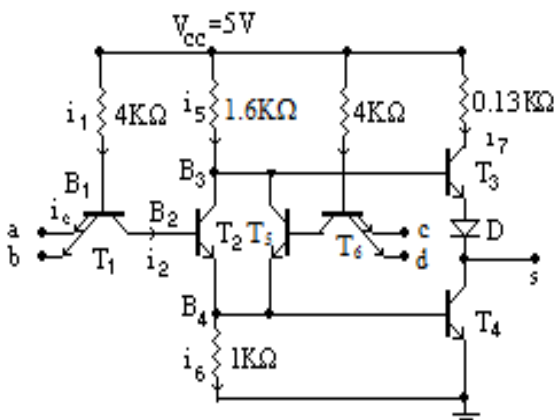
$$s = a / [(b \downarrow c) \oplus b.c] \quad s = m \otimes c + s.(a.b).$$

**2-30.** En supposant que la sortie d'un inverseur est égale à 5V si son entrée est inférieure à 1.4V et à 0V si son entrée est supérieure à 1.4V et que la tension aux bornes de la capacité s'annule dès que la tension en  $b$  change de valeur, montrer que le circuit suivant produit des impulsions périodiques à sa sortie  $s$  et déterminer en fonction de  $R$  et  $C$  la largeur de ces impulsions ainsi que leur fréquence.



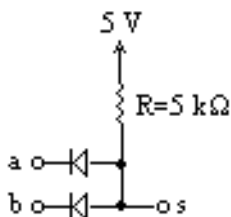
**2-31.** On désire alimenter par une pompe un réservoir d'eau à partir d'un puits. La pompe se met en marche si les conditions suivantes sont toutes satisfaites: a) le niveau d'eau dans le réservoir est inférieur à  $n_1$ , b) le niveau d'eau dans le puits est supérieur à  $n$  et c) un contact horaire  $h$  ou un interrupteur  $c$  est fermé. La pompe s'arrête si son relais thermique s'ouvre ou si l'eau dans le réservoir arrive à un niveau  $n_2$  ( $> n_1$ ) ou si l'eau dans le puits devient inférieur à un niveau  $n'$  ( $< n$ ). Enfin, un voyant s'allume si l'eau arrive au niveau  $n_1$  et que la pompe ne travaille pas. Utilisant des contacts de niveau à électrodes (voir ch.1 fig.8) et sachant que le moteur de la pompe est alternatif monophasé, représenter pour ce réservoir le circuit électromagnétique et électronique de l'actionneur ainsi que le circuit électromagnétique de commande et de signalisation.

**2-32.** La figure suivante représente le circuit de la porte AND-OR-Inverter (AOI). Écrire l'expression logique de la sortie  $s$  en fonction des entrées  $a$ ,  $b$ ,  $c$  et  $d$ . Construire une porte AOI en MOS et en CMOS.



### 2-33. Portes à diodes.

1) Montrer que le circuit de la figure suivante est une porte AND. Construire une porte OR.

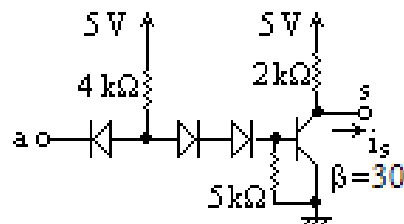


2) Convenons que le bit 1 correspond à une tension supérieure à 2.5 V et que le bit 0 correspond à une tension inférieure à 2.5 V et supposons qu'on désire réaliser l'expression  $a_1.a_2....a_p$  à l'aide de portes AND à diodes chacune ayant 2 entrées. Quelle est la plus grande valeur de  $p$ .

3) Même question si l'on désire réaliser l'expression  $a_1 + a_2 + ... + a_p$  à l'aide de portes OR à diodes chacune ayant 2 entrées.

### 2-34. Diode-Transistor Logic (DTL).

Le circuit de la figure suivante fait partie de la famille DTL.

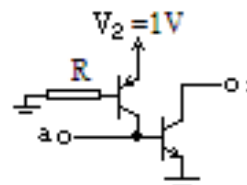


1) Montrer qu'il est un inverseur et dire comment le modifier pour obtenir une porte NAND.

2) Pour  $i_s = 0A$  (fonctionnement à vide), déterminer les courants dans les branches de l'inverseur ainsi que l'énergie dissipée dans cette porte dans les deux cas :  $V(a) = 0V$  et  $V(a) = 5V$ .

3) Quand  $V(a)$  varie entre 0 et 5V, représenter  $V(s)$  pour  $i_s = -10, 0, 1$  et  $2$  mA.

### 2-35. Integrated Injection Logic (I<sup>2</sup>L).



1) En convenant que l'entrée  $a$  ou la sortie  $s$  est égale à 1 si elle est flottante, à 0 si elle est voisine de 0V, quelle est la fonction logique du circuit de la figure suivante ?

2) Représenter le circuit d'une porte NOR et d'une porte AND en I<sup>2</sup>L. Peut-on connecter directement la sortie d'une porte I<sup>2</sup>L à l'entrée d'une porte TTL ? La sortie d'une porte TTL à l'entrée d'une porte I<sup>2</sup>L ? Sinon, quel genre de tampon peut-on utiliser ?