# Chapitre 4
# SYSTÈMES SÉQUENTIELS

Les circuits combinatoires étudiés au chapitre précédent ne constituent qu'une catégorie particulière des systèmes logiques. En général, la réponse $y = (y_1, \ldots, y_q)$ d'un système ne dépend pas seulement de l'entrée $u = (u_1, \ldots, u_p)$ qui lui est appliquée (comme c'est le cas pour les systèmes combinatoires) mais aussi de son état interne à l'instant considéré. Par leur constitution physique, les systèmes logiques n'ont qu'un nombre fini N d'états internes différents et on caractérise chaque état par un vecteur binaire $x = (x_1, \ldots, x_n)$ dont le nombre n des composantes est tel que $N \leq 2^n$. Seulement quand l'état interne est toujours le même ($N = 1$ et $n = 0$) la réponse y ne dépend que de l'entrée u et le système est combinatoire. Quand l'état interne d'un système logique n'est pas unique ($N \geq 2$ et $n \geq 1$), la réponse y en un instant donné dépend à la fois de l'entrée u et de l'état x en cet instant et on dit qu'il est *séquentiel*. Pour décrire le fonctionnement d'un système séquentiel, il ne suffit pas de montrer l'effet de l'entrée et de l'état sur la sortie mais il est aussi nécessaire de préciser leur effet sur l'évolution de l'état interne. Un système séquentiel se définit donc par 2 fonctions f et g qui associent au couple (x, u) respectivement l'état suivant x' et la réponse y :

$$\begin{aligned} x' &= f(x, u), \\ y &= g(x, u). \end{aligned} \qquad (4\text{-}1)$$

On distingue deux types de systèmes séquentiels, les systèmes asynchrones et les systèmes synchrones. Un système asynchrone peut accepter une nouvelle entrée ou livrer une nouvelle sortie en tout instant t. Par contre, l'entrée et la sortie d'un système synchrone ne sont prises en compte qu'aux instants 0, T, 2T, 3T,…où T est une durée constante appelée période de synchronisation. Les systèmes asynchrones sont généralement plus rapides que les systèmes synchrones mais plus difficiles à concevoir car ils sont affectés par les entrées à chaque instant, même avant que celles-ci arrivent à leurs valeurs finales. Par contre, les systèmes synchrones ne traitent les entrées qu'après leur stabilisation à des valeurs bien définies.

Nous étudions dans ce chapitre les principes de conception des systèmes asynchrones et synchrones ainsi que les circuits des différents types de loquets et de bascules électroniques pouvant intervenir dans la réalisation de ces systèmes. Les registres et les compteurs, circuits séquentiels de grande utilité, seront décrits au chapitre suivant.

## 4-1 SYSTÈMES ASYNCHRONES

Supposons qu'on applique à un système asynchrone une entrée u constante à partir d'un instant t où l'état du système est $x^0$ et soit $\delta$ la petite durée entre 2 états successifs. D'après (4-1), les états suivants, c.à.d. les états aux instants $t + \delta$, $t + 2\delta$, … seront $x^1 = f(x^0, u)$, $x^2 = f(x^1, u)$, … .

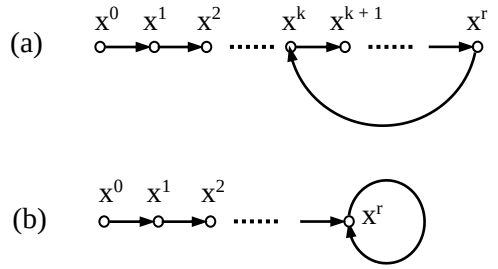



**Fig. 4-1** Évolution de l'état d'un système soumis à une entrée constante.

Comme le nombre N d'états est fini, le système doit retourner à un état par lequel il a déjà passé. En d'autres termes, il doit exister deux entiers k et r avec $k \leq r$ tel que $x^k = x^{r+1} = f(x^r, u)$ comme le schématise la figure 4-1a. Tant que l'entrée u reste la même, le système répète indéfiniment le cycle passant successivement par les états $x^k$, $x^{k+1}$, …, $x^r$ et on dit qu'il opère en *multivibrateur*. Dans le cas où k = r (fig. 4-1b), on dit que l'état $x^r$ est stable pour l'entrée u. Le multivibrateur qui maintient cet état pour certaines entrées, constitue une *mémoire* à n bits, n étant le nombre des composantes de l'état. Le plus simple des systèmes séquentiels est la mémoire à un bit. Cet élément qui a au plus deux états stables 0 ou 1 (bistable) intervient dans tout système séquentiel.

## 4-1-1 Mémoire à un bit

Nous commençons par rappeler la constitution d'une mémoire électromagnétique à un bit (voir section 2-2-1) puis nous décrirons son équivalent électronique, le loquet (latch) SR.

**Mémoire électromagnétique.** La figure 4-2 représente le circuit d'une mémoire électromagnétique à arrêt prioritaire commandant une lampe L.

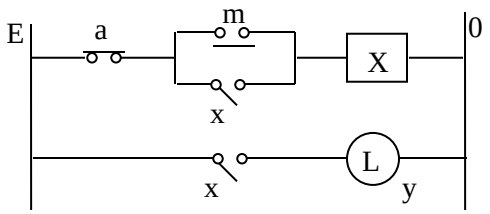



**Fig. 4-2** Mémoire à arrêt prioritaire

L'entrée de ce circuit est le vecteur u = (m, a) représentant, en un instant donné, l'état des poussoirs (actionné = 1, relâché = 0). Sa sortie est l'état y de la lampe (allumée = 1, éteinte = 0). Son état interne est celui des pôles x du relais dont la bobine est désignée par X. On assigne à x la valeur 0 s'il est ouvert, la valeur 1 s'il est fermé. Or x se ferme quand X est alimentée et s'ouvre quand le courant à travers X s'annule. Par conséquent, l'état interne suivant sera x' = 1 si et seulement si la bobine X est excitée. D'où, d'après le circuit,

$$x' = \bar{a}(m + x) \qquad (4\text{-}2)$$

et on a : $y = x$ . (4-3)

Pour analyser l'évolution de l'état en fonction de l'entrée, on constate, d'après (4-2) que si l'état actuel est x = 0, l'état suivant x' ne devient 1 que lorsque $m\bar{a} = 1$ et si x = 1, x' ne devient 0 que lorsque a = 1. Ceci est schématisé par la figure 4-3 où les cercles représentent les états et les arcs les transitions d'un état à l'autre. Une transition ne se réalise que quand l'expression logique à côté de son arc devient 1, sinon l'état sera maintenu.

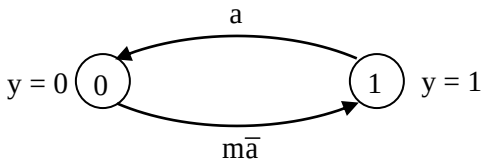



**Fig. 4-3** Diagramme d'états de la mémoire électromagnétique à arrêt prioritaire

Cette mémoire se met en marche (y devient 1) quand on appuie sur m en un moment où a est relâché et s'arrête (y devient 0) quand on appuie sur a. Quand m et a sont poussés simultanément la mémoire s'arrête (x = 0) ou reste en arrêt et on dit qu'elle est à arrêt prioritaire.

La figure 4-4 représente le circuit d'une mémoire électromagnétique à marche prioritaire.

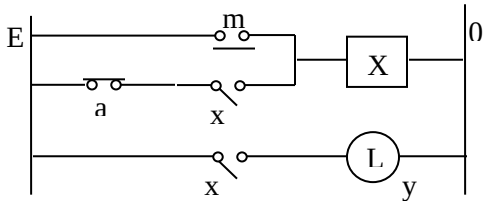



**Fig. 4-4** Mémoire à marche prioritaire

Elle a pour équations

$$x' = m + \bar{a}x\,, \qquad (4\text{-}4)$$

$$y = x \qquad (4\text{-}5)$$

et son diagramme d'état est celui de la figure 4-5.

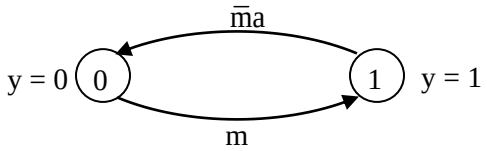



**Fig. 4-5** Diagramme d'états de la mémoire électromagnétique à marche prioritaire

**Loquet (ou verrou) SR.** C'est un circuit intégré à 2 entrées S (set ou mise à 1) et R (reset ou mise à 0) et deux sorties Q et $Q_1$. S, R et Q jouent respectivement le même rôle que m, a et x d'une mémoire électromagnétique à arrêt prioritaire. Avec ces notations, l'équation (4-2) s'écrit :

$$Q' = \overline{R}(S + Q)\,. \qquad (4\text{-}6)$$

Pour réaliser cette équation avec des portes NOR, on la met sous la forme

$$Q' = \overline{R + \overline{S + Q}}$$

ce qui donne le circuit de la figure 4-6a.

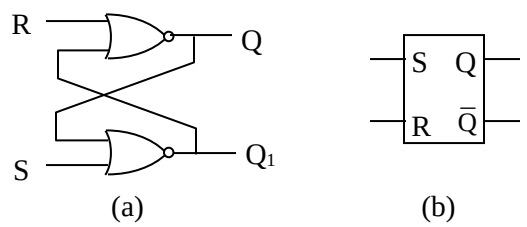



**Fig. 4-6** Circuit NOR et symbole d'un loquet SR.

Ce circuit étant symétrique, l'équation de la deuxième sortie $Q_1$ s'obtient à partir de (4-6) en invertissant S et R. On obtient :

$$Q_1' = \overline{S}(R + Q_1)\,. \qquad (4\text{-}7)$$

Des équations (4-6) et (4-7) on déduit les tableaux de vérité suivantes montrant comment évoluent les sorties Q et $Q_1$ en fonction des entrées S et R.

| S | R | **Q'** |
|---|---|---|
| 0 | 0 | **Q** |
| 0 | 1 | **0** |
| 1 | 0 | **1** |
| 1 | 1 | **0** |

| S | R | $\mathbf{Q_1'}$ |
|---|---|---|
| 0 | 0 | $\mathbf{Q_1}$ |
| 0 | 1 | **1** |
| 1 | 0 | **0** |
| 1 | 1 | **0** |

L'entrée (S, R) = (1, 1) annule en même temps les deux sorties (arrêt prioritaire) mais, en règle générale, on s'empêche d'appliquer une telle entrée. Pour comprendre la raison, étudions l'effet de course quand on passe de l'entrée (1, 1) à l'entrée non adjacente (0, 0). Comme S et R ne peuvent pas s'annuler exactement au même instant, la transition suit aléatoirement l'un des deux chemins (1, 1) → (1, 0) → (0, 0) ou (1, 1) → (0, 1) → (0, 0). Sachant que l'entrée (S, R) = (0, 0) ne modifie pas les sorties, le premier chemin mène à la sortie (Q, $Q_1$) = (1, 0) et le second à (Q, $Q_1$) = (0, 1). C'est pour éviter cette ambigüité, l'entrée (S, R) = (1, 1) est généralement interdite. Avec cette interdiction, les tableaux de vérité ci-dessus montrent que $Q_1$ sera le complément de Q à partir de l'instant où il le devient pour la première fois. Le chronogramme de la figure 4-7 en donne un exemple et c'est pour cette raison que $Q_1$ est désigné par $\overline{Q}$ sur le symbole 4-6b. Par convention, Q représente l'état du loquet et $Q_1$ son complément.

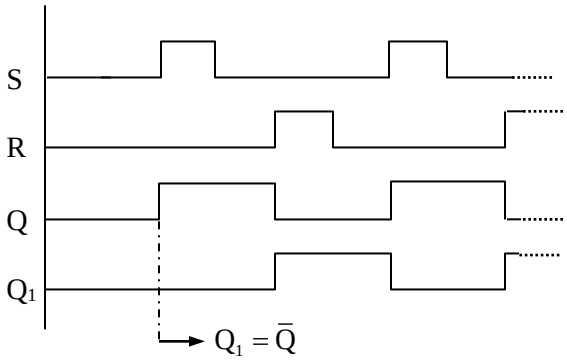



**Fig. 4-7** Exemple de fonctionnement d'un loquet SR

EXERCICE 4-1
1) Réaliser à l'aide de 4 portes NAND un loquet SR à marche prioritaire.
2) Montrer qu'en remplaçant dans le circuit de la figure 4-6a les portes NOR par des portes NAND, on obtient aussi un loquet à arrêt prioritaire mais en logique négative.

Nous attirons l'attention qu'en interdisant l'entrée (S, R) = (1, 1), le produit SR sera toujours égal à 0. D'où $S = (R + \overline{R})S = \overline{R}S$ et l'équation (4-6) du loquet SR à arrêt prioritaire devient

$$Q' = S + \overline{R}Q \qquad (4\text{-}8)$$

qui n'est autre que l'équation du loquet à marche prioritaire (voir éq. (4-4)). On ne distingue donc pas entre arrêt prioritaire et marche prioritaire quand le produit SR est toujours égal à 0.

**Anti rebonds.** Un loquet SR est souvent employé pour éliminer l'effet des rebonds d'un contact. Comme le montre le circuit *anti rebonds* de la figure 4-8, la fermeture du contact supérieur met S à 1 et R à 0 d'où Q prend la valeur 1 et cette valeur se maintient quand les deux entrées S et R s'annulent durant un rebond. De même, la fermeture du contact inférieure annule Q et le loquet maintient cette valeur malgré les rebonds possibles du contact.

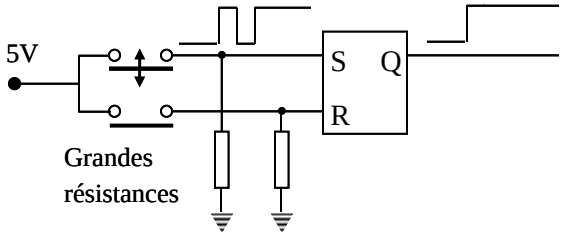



**Fig. 4-8** Circuit anti rebonds

## 4-1-2 Synthèse des circuits asynchrones

La synthèse de l'organe de commande d'un système séquentiel consiste à déterminer les fonctions f et g des équations (4-1) à partir de la description du fonctionnement désiré de ce système (cahier des charges). Un graphe permet de préciser cette description en montrant l'évolution du système pour toute suite possible d'entrées. Plusieurs types de graphes peuvent être employés. Le GRAFCET, qui sera développé au chapitre 6, est une technique très commode pour décrire le fonctionnement des systèmes industriels complexes. Dans le présent chapitre, il convient de commencer par définir et exploiter des graphes employés pour des systèmes relativement simples : le diagramme des phases et le diagramme des étapes. La méthode des phases est systématique et permet de concrétiser la notion d'état. La méthode des étapes est directe et convient mieux aux systèmes à grand nombre d'entrées.

### A. Méthode des phases (ou d'Huffman).

Le fonctionnement d'un système logique peut être subdivisé en phases. Durant une phase le vecteur d'entrée u et le vecteur de sortie y sont constants et à tout couple possible (u, y) correspond une phase et une seule. À chaque modification de l'entrée u, le système passe donc à une autre phase et la sortie peut rester la même que dans la phase précédente ou se modifier. On représente l'enchaînement des phases par un diagramme où chaque phase est indiquée par un numéro cerclé i = 1, 2, … au voisinage duquel on inscrit les noms des entrées actionnées et des sorties activées durant cette phase. La transition d'une phase i vers une autre phase j est représentée par un arc joignant i à j. Comme il est pratiquement impossible de modifier simultanément plus qu'une composante du vecteur d'entrée u, le nombre de transitions d'une phase vers d'autres phases est égal au nombre de composantes de u qui peuvent physiquement se modifier durant cette phase. Nous allons détailler la méthode des phases à travers l'exemple suivant.

**Exemple 4-1**

On dispose de 2 interrupteurs a et b et d'une lampe L. Il s'agit de construire un circuit de commande permettant de satisfaire la condition de fonctionnement suivante :

- La lampe L ne s'allume que si l'on ferme a en un moment où a et b sont tous les deux ouverts et qui ne s'éteint que si l'on ferme b en un tel moment.

1) <u>*Entrée-Sortie.*</u> L'entrée du système considéré est le vecteur logique u = (a, b) caractérisant l'état de chaque contact (fermé = 1, ouvert = 0) et sa sortie est la variable logique L caractérisant l'état de la lampe (allumée = 1, éteinte = 0).

2) <u>*Diagramme des phases*</u>.

Le diagramme des phases de ce système est celui de la figure 4-9.

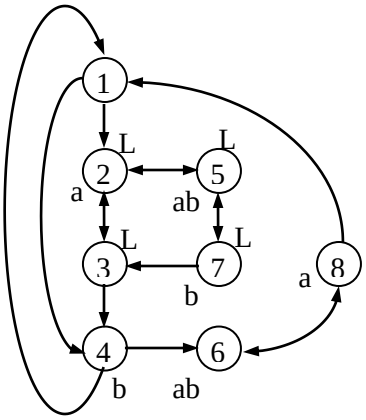



**Fig. 4-9** Diagramme de phase

Partant d'une phase initiale, ce diagramme est obtenu en représentant pour chaque nouvelle phase toutes les transitions possibles vers d'autres phases.

Par exemple, de la phase 1 où les interrupteurs sont ouverts et la lampe est éteinte, on passe à une nouvelle phase 2 en fermant a (la lampe s'allume) ou à une nouvelle phase 4 en fermant b (la lampe reste éteinte). La modification simultanée de a et b est impossible. De la phase 2 où seul a est fermé et L est allumé, on passe à une nouvelle phase 3 en ouvrant a ou à une nouvelle phase 5 en fermant b. De même, de la phase 3 où les deux interrupteurs sont ouverts et la lampe est allumée on retourne à la phase 2 en fermant a ou on passe à la phase 4 en fermant b. En continuant de la sorte, on complète le diagramme quand toutes les transitions de toutes les phases sont représentées.

3) *Matrice primitive des transitions*. Le diagramme des phases peut être traduit en un tableau où l'on associe à chaque phase i = 1, 2, … une ligne et à chaque entrée (a, b) une colonne (tableau 4-1). On adopte pour ces colonnes le même codage que celui des colonnes d'un tableau de Karnaugh (codage de Gray). Pour toute entrée possible durant une phase i, on écrit à l'intersection de sa colonne avec la ligne de i le numéro de la phase vers laquelle le système se dirige après l'apparition de cette entrée. Si ce numéro est i lui même, on le met entre parenthèses pour indiquer que l'entrée considérée ne produit pas une transition vers une autre phase. Dans ce cas, on dit que l'entrée est *propre* durant i et que i est *stable* pour cette entrée. Par contre, si l'entrée déclenche une transition vers une autre phase, on dit qu'elle est une *réceptivité* pour i. La case correspondante à une entrée impossible durant la phase i reste vide. Dans une colonne séparée nous avons indiqué par L les phases où la lampe s'allume.

| | a | | | | |
|---|---|---|---|---|---|
| | b | | | | |
| 1 | (1) | 4 | | 2 | |
| 2 | 3 | | 5 | (2) | L |
| 3 | (3) | 4 | | 2 | L |
| 4 | 1 | (4) | 6 | | |
| 5 | | 7 | (5) | 2 | L |
| 6 | | 4 | (6) | 8 | |
| 7 | 3 | (7) | 5 | | L |
| 8 | 1 | | 6 | (8) | |

**Tableau 4-1** Matrice primitive

4) *Matrice contractée des transitions*. En examinant les deux lignes 1 et 4 du tableau 4-1, on remarque qu'il n'existe pas deux chiffres différents dans une même colonne. On déduit que la même entrée à la fois possible durant la phase 1 et durant la phase 4 entraîne le système vers la même phase. Durant ces deux phases, le système se comporte donc de la même manière vis-à-vis des entrées. On peut fusionner les deux lignes de la phase 1 et de la phase 4 en une seule sans perdre de l'information concernant le fonctionnement du système. La ligne ainsi formée, qu'on désigne par A, correspond au groupe A = {1, 4} constitué des phases 1 et 4. De même les lignes des phases 2 et 3 se fusionnent en une ligne B, les lignes 5 et 7 en une ligne C et les lignes 6 et 8 en une ligne D. Par ces fusionnements, la matrice primitive du tableau 4-1 se réduit à la matrice contractée du tableau 4-2.

| | a | | | |
|---|---|---|---|---|
| | b | | | |
| (1) | (4) | 6 | 2 | A |
| (3) | 4 | 5 | (2) | B |
| 3 | (7) | (5) | 2 | C |
| 1 | 4 | (6) | (8) | D |

**Tableau 4-2** Matrice contractée

Si le diagramme des phases (fig. 4-9) comporte un arc joignant deux phases appartenant à deux groupes différents, on dit que ces deux groupes sont connectés. Par construction de la matrice contractée des transitions, deux groupes sont connectés si leurs lignes ont dans une même colonne deux chiffres égaux dont l'un est entre parenthèses. Par exemple, le groupe A est connecté à B et à D mais pas à C. La figure 4-10 montre le graphe des connexions entre les groupes.

**Fig. 4-10** Graphe des connexions entre groupes

À remarquer sur le tableau 4-2 que nous avons associé à deux groupes connectés deux lignes symétriques par rapport à l'un des axes horizontaux de ce tableau. Nous verrons dans ce qui suit l'importance de cette organisation.

5) *Codage des groupes*. En examinant le tableau 4-2, on remarque que le comportement du système vis-à-vis des entrées n'est pas le même dans deux

groupes différents. Par exemple, pour l'entrée (a = 1, b = 1), on passe à la phase 6 si on se trouve dans le groupe A = {1, 4} et à la phase 5 si on se trouve dans le groupe B = {2, 3}. Pour que le système puisse distinguer entre les 4 groupes, on associe à chacun un état interne ($x_1$, $x_2$) produit par deux mémoires. Par exemple, si l'on associe au groupe A l'état (0, 0) et au groupe B l'état (0, 1), les deux mémoires seront désactivées durant les phases 1 et 4 ($x_1 = 0$ et $x_2 = 0$) et quand le système passe à l'une des phases 2 ou 3, la première mémoire reste désactivée ($x_1 = 0$) et la seconde s'active ($x_2 = 1$). La correspondance entre les groupes et les états internes est appelée codage des groupes. Ce codage doit satisfaire la condition suivante :

- *Les états de deux groupes connectés doivent être adjacents (ne diffèrent que par une seule composante).*

Cette condition, dite d'*adjacence*, évite les aléas de course (racing). Pour comprendre ce phénomène, supposons qu'on associe aux deux groupes connectés A et B les états non-adjacents (0, 0) et (1, 1). Si le système se trouve dans le groupe A où les deux mémoires sont désactivées et qu'on applique l'entrée (a = 1, b = 1), d'après le tableau 4-2, il doit passer directement au groupe B en activant les deux mémoires. Comme le temps de réponse de ces organes n'est jamais le même, l'état du système peut traverser aléatoirement l'une des 2 séquences suivantes : (0, 0) → (0, 1) → (1, 1) ou (0, 0) → (1, 0) → (1, 1). Le passage par (0, 1) ou par (1, 0) conduit le système dans un groupe autre que B et peut altérer le fonctionnement désiré.

Comme dans le tableau 4-2 les lignes de deux groupes connectés sont symétriques par rapport à un axe horizontal, la condition d'adjacence sera satisfaite en codant les lignes de ce tableau (les groupes) selon Gray, c.à.d. de la façon de coder les lignes d'un tableau de Karnaugh (voir 3-2-1).

6) <u>*Fonctions d'état*</u>. Le codage des groupes est indiqué par les deux traits $x_1$ et $x_2$ à côté des tableaux 4-3 qui définissent l'état suivant $(x_1', x_2')$ en fonction de l'état actuel ($x_1$, $x_2$) et de l'entrée (a, b). Le tableau de $x_i'$, i = 1, 2, est obtenu à partir du tableau 4-2 en remplaçant les numéros des phases par la valeur de la i$^{\text{ème}}$ composante de leur état. Par exemple, comme aux phases 6 et 8 du groupe D correspond l'état (1, 0), on remplace les numéros 6 et 8 (entre parenthèses ou non) par 1 dans le tableau de $x_1'$ et par 0 dans le tableau de $x_2'$.

| $x_1$ \ $x_2$ | $\overline{b}\,\overline{a}$ | $\overline{b}\,a$ | $b\,a$ | $b\,\overline{a}$ |
|---|---|---|---|---|
| | 0 | 0 | 1 | 0 |
| | 0 | 0 | 1 | 0 |
| | 0 | 1 | 1 | 0 |
| | 0 | 0 | 1 | 1 |

Fonction $x_1'$

| $x_1$ \ $x_2$ | $\overline{b}\,\overline{a}$ | $\overline{b}\,a$ | $b\,a$ | $b\,\overline{a}$ |
|---|---|---|---|---|
| | 0 | 0 | 0 | 1 |
| | 1 | 0 | 1 | 1 |
| | 1 | 1 | 1 | 1 |
| | 0 | 0 | 0 | 0 |

Fonction $x_2'$

**Tableaux 4-3** État suivant en fonction de l'état actuel et de l'entrée

En appliquant à ces tableaux la méthode de simplification de Karnaugh, on obtient :

$$\begin{aligned} x_1' &= a.b + x_1.(x_2.b + \overline{x}_2.a), \\ x_2' &= a.\overline{b}.\overline{x}_1 + x_2(\overline{b} + a + x_1) \end{aligned} \qquad (4\text{-}9)$$

ou

$$\begin{aligned} x_1' &= a.b + x_1.(\overline{\overline{x_2.b}.\overline{\overline{x}_2.a}}), \\ x_2' &= a.\overline{b}.\overline{x}_1 + x_2(\overline{b.\overline{a}.\overline{x}_1}). \end{aligned} \qquad (4\text{-}10)$$

Les équations (4-9) serviront à construire les mémoires électromagnétiques et les équations (4-10) ont la même forme que l'équation (4-8) d'un loquet SR, $a.b$ et $\overline{x_2 b}.\overline{\overline{x}_2.a}$ étant respectivement les expressions des entrées S et R du premier loquet, $a.\overline{b}.\overline{x}_1$ et $b.\overline{a}.\overline{x}_1$ celles du second. À noter que les expressions de S et R de chaque loquet ne prennent pas simultanément la valeur 1.

7) <u>*Fonction de sortie*</u>. Soit $H_1$ = {2, 3, 5, 7} l'ensemble des numéros des phases où la lampe doit s'allumer et $H_0$ = {1, 4, 6, 8} l'ensemble des numéros des phases où la lampe doit s'éteindre (voir le diagramme des phases ou le tableau 4-1). A partir du tableau 4-2, on obtient le tableau de Karnaugh de la fonction de sortie L (tableau 4-4) en remplaçant

- par 1 les numéros de $H_1$ qui sont dans la même ligne qu'un numéro entre parenthèses de $H_1$,
- par 0 les numéros de $H_0$ qui sont dans la même ligne qu'un numéro entre parenthèses de $H_0$ et
- en laissant vides les autres cases (cases

indifférentes).
Avec cette définition de la fonction L, l'état de la lampe ne se modifie pas durant la transition entre deux phases où la lampe a le même état. Par exemple, le passage de la phase stable (4) à la phase stable (6) se fait à travers la case transitoire 6. Comme durant (4) et (6) la lampe doit être éteinte, on impose à la case transitoire 6 la valeur 0 afin d'obliger la lampe de rester éteinte durant la transition et de l'empêcher de produire un bref éclat. Par contre, si la transition relie deux phases pour lesquelles la lampe n'a pas le même état, on laisse la case de transition indifférente pour se donner la liberté de modifier l'état de la lampe soit durant la transition soit à l'arrivée à la nouvelle phase.

| b \ a | | | | |
|---|---|---|---|---|
| (1) | (4) | 6 | 2 | |
| (3) | 4 | 5 | (2) | L |
| 3 | (7) | (5) | 2 | L |
| 1 | 4 | (6) | (8) | |

| $x_2$ \ $x_1$ \ b \ a | | | | |
|---|---|---|---|---|
| 0 | 0 | 0 | | |
| 1 | | 1 | 1 | |
| 1 | 1 | 1 | 1 | |
| 0 | 0 | 0 | 0 | |

**Tableau 4-4** Fonction L de sortie

La plus simple expression de L déduite du tableau de la fonction de sortie est

$$L = x_2 . \qquad (4\text{-}11)$$

8) *Réalisation physique*. La figure 4-11 représente la réalisation électromagnétique du circuit de commande déduite des équations (4-9) et (4-11).

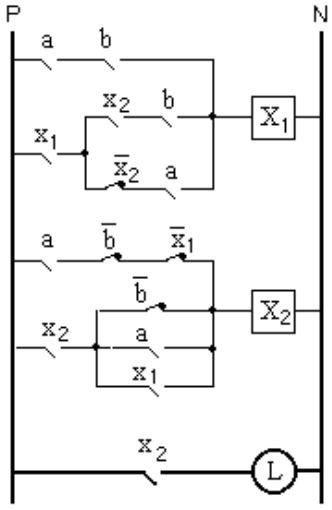



**Fig. 4-11** Circuit de commande électromagnétique

Rappelons que pour les circuits électromagnétiques les objets commandés (ici la lampe) sont généralement alimentés à travers les pôles principaux des contacteurs (ici le pôle $x_2$ qui précède la lampe).

La figure 4-12 représente la réalisation électronique déduite des équations (4-10) et (4-11).

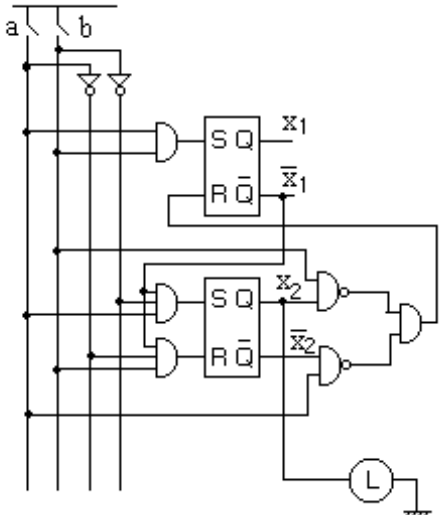



**Fig. 4-12** Circuit de commande électronique

Pour simplifier le dessin, les loquets anti rebonds qui doivent suivre les contacts mécaniques a et b et le relais statique de puissance qui doit être intercalé entre $x_2$ et la lampe ne sont pas représentés sur la figure.

**Le problème d'adjacence.** Un vecteur de $\mathcal{B}^n$ a au plus n vecteurs adjacents parmi $2^n$. Par conséquent il est impossible de satisfaire la condition d'adjacence si le nombre de groupes connectés à un groupe A est supérieur au nombre des composantes du vecteur d'état. Cette difficulté peut être surmontée en augmentant le nombre des composantes d'état et/ou en effectuant des *transitions multiples*. Les exemples suivants montrent ce qu'on entend par transition multiple.

## Exemple 4-2

Considérons la matrice contractée suivante obtenue en remplaçant par 1 le chiffre 3 de la ligne C du tableau 4-2.

**Tableau 4-5**
Premier exemple de non adjacence

| $x_1 \backslash x_2$ | $\overline{b}\,\overline{a}$ | $\overline{b}a$ | $b\overline{a}$ | $ba$ | |
|---|---|---|---|---|---|
| | (1) | (4) | 6 | 2 | A |
| | (3) | 4 | 5 | (2) | B |
| | 1 | (7) | (5) | 2 | C |
| | 1 | 4 | (6) | (8) | D |

Cette modification connecte C à A et augmente à 3 le nombre des groupes connectés à A tandis que le nombre des composantes du vecteur d'état n'est que 2. Ceci nous oblige à coder l'un des 3 groupes, disons C, par l'état (1, 1) qui n'est pas adjacent à l'état (0, 0) de A. Comme les composantes de l'état ($x_1$, $x_2$) ne changent jamais simultanément, le passage de C à A se fait à travers B si $x_1$ s'annule avant $x_2$ ou à travers D si $x_2$ s'annule avant $x_1$. Or, d'après le tableau 4-5, la condition de transition de C à A est a = b = 0 pour laquelle le passage par B enfermera le système dans la phase stable (3) au lieu de continuer vers (1) et faussera le fonctionnement désiré. Par contre, comme l'entrée a = b = 0 est aussi une condition de transition de D à A, le passage par D ne sera que transitoire et le système arrivera à la destination souhaitée (1). La solution consiste donc à forcer le passage par D en considérant que le 1 de C est une case de transition vers la case transitoire 1 de D et non pas vers la phase stable (1) de A. Ceci revient à associer à la case 1 de C la valeur 1 pour la fonction $x_1'$, la valeur 0 pour la fonction $x_2'$ et à la laisser vide (indifférente) dans le tableau de la fonction L. Les tableaux 4-6 on déduit les expressions de $x_1'$, $x_2'$ et L, permettant de réaliser un circuit sans aléas.

| $x_1 \backslash x_2$ | $\overline{b}\,\overline{a}$ | $\overline{b}a$ | $b\overline{a}$ | $ba$ |
|---|---|---|---|---|
| | 0 | 0 | 1 | 0 |
| | 0 | 0 | 1 | 0 |
| | 1 | 1 | 1 | 0 |
| | 0 | 0 | 1 | 1 |

Fonction $x_1'$

| $x_1 \backslash x_2$ | $\overline{b}\,\overline{a}$ | $\overline{b}a$ | $b\overline{a}$ | $ba$ |
|---|---|---|---|---|
| | 0 | 0 | 0 | 1 |
| | 1 | 0 | 1 | 1 |
| | 0 | 1 | 1 | 1 |
| | 0 | 0 | 0 | 0 |

Fonction $x_2'$

**Tableaux 4-6** État suivant et sortie du tableau 4-5

| $x_1 \backslash x_2$ | $\overline{b}\,\overline{a}$ | $\overline{b}a$ | $b\overline{a}$ | $ba$ |
|---|---|---|---|---|
| | 0 | 0 | 0 | |
| | 1 | | 1 | 1 |
| | | 1 | 1 | 1 |
| | 0 | 0 | 0 | 0 |

Fonction L

L'exemple suivant montre qu'il est parfois nécessaire d'augmenter le nombre des composantes d'état c.à.d. le nombre des mémoires.

## Exemple 4-3

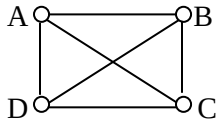
Considérons la matrice contractée suivante obtenue en remplaçant le chiffre 1 par 3 dans la ligne D et 2 par 8 dans la ligne C du tableau 4-5.

**Tableau 4-7**
Deuxième exemple de non adjacence

| $\overline{b}\,\overline{a}$ | $\overline{b}a$ | $b\overline{a}$ | $ba$ | |
|---|---|---|---|---|
| (1) | (4) | 6 | 2 | A |
| (3) | 4 | 5 | (2) | B |
| 1 | (7) | (5) | 8 | C |
| 3 | 4 | (6) | (8) | D |

On vérifie directement que chaque groupe est connecté aux 3 autres comme le montre le graphe des connexions de la figure 4-13.

**Fig. 4-13** Graphe des connexions du tableau 4-7




D'autre part, on voit sur le tableau 4-7 qu'entre la case transitoire 1 de C et la case stable (1) de A il n'existe pas dans leur colonne une suite de cases adjacentes contenant le chiffre 1. D'où la méthode de l'exemple précédent ne s'applique pas à la transition de C à A. En plus, on peut vérifier que pour toute autre permutation des lignes du tableau 4-7, il existe une transition entre deux groupes non adjacents qui présente le même problème. Pour sortir de cette impasse, on ajoute une composante d'état supplémentaire $x_3$ afin que le nombre de lignes adjacentes à une ligne donnée devienne 3 au lieu de 2. Ceci double le nombre de lignes de la matrice contractée ($2^3$ au lieu de $2^2$) et les cases vides des lignes ajoutées peuvent participer à la suite des cases adjacentes entre une phase transitoire et la phase stable correspondante. Dans le tableau 4-8 nous avons associé aux groupes B, C et D des lignes adjacentes à celle de A afin de satisfaire la condition d'adjacence entre A et chacun de ces 3 groupes. D'autre part, pour chaque transition d'un groupe de l'ensemble {B, C, D} à un autre groupe de cet ensemble nous avons créé à travers les lignes ajoutées un chemin, formé de cases adjacentes joignant la phase transitoire du groupe de départ à la

phase stable du groupe d'arrivée. Remarquer qu'il subsiste beaucoup de cases vides par lesquelles le système ne passera jamais.

| | | | | | |
|---|---|---|---|---|---|
| | | | | | a |
| | | | | b | |
| $x_3$ | (1) | (4) | 6 | 2 | A |
| $x_2$ | (3) | 4 | 5 | (2) | B |
| | | | 5 | | |
| $x_1$ | 1 | (7) | (5) | 8 | C |
| | | | | 8 | |
| | | | | | |
| | 3 | | | | |
| | 3 | 4 | (6) | (8) | D |

**Tableau 4-8** Matrice contractée étendue

Les tableaux de l'état suivant $x_1', x_2', x_3'$ et de la sortie L s'obtiennent de la même manière que dans l'exemple 4-2 en laissant indifférentes les cases vides du tableau 4-8.

| | | | | |
|---|---|---|---|---|
| | | | | a |
| | | | b | |
| $x_3$ | 0 | 0 | 1 | 0 |
| $x_2$ | 0 | 0 | 0 | 0 |
| | | | 0 | |
| $x_1$ | 0 | 0 | 0 | 1 |
| | | | | 1 |
| | | | | |
| | 0 | | | |
| | 0 | 0 | 1 | 1 |

$x_1'$

| | | | | |
|---|---|---|---|---|
| | | | | a |
| | | | b | |
| $x_3$ | 0 | 0 | 0 | 0 |
| $x_2$ | 0 | 0 | 1 | 0 |
| | | | 1 | |
| $x_1$ | 0 | 1 | 1 | 0 |
| | | | | 0 |
| | | | | |
| | 0 | | | |
| | 0 | 0 | 0 | 0 |

$x_2'$

| | | | | |
|---|---|---|---|---|
| | | | | a |
| | | | b | |
| $x_3$ | 0 | 0 | 0 | 1 |
| $x_2$ | 1 | 0 | 0 | 1 |
| | | | 0 | |
| $x_1$ | 0 | 0 | 0 | 0 |
| | | | | 0 |
| | | | | |
| | 1 | | | |
| | 1 | 0 | 0 | 0 |

$x_3'$

| | | | | |
|---|---|---|---|---|
| | | | | a |
| | | | b | |
| $x_3$ | 0 | 0 | 0 | |
| $x_2$ | 1 | | 1 | 1 |
| | | | 1 | |
| $x_1$ | | 1 | 1 | |
| | | | | |
| | | | | |
| | | | | |
| | | 0 | 0 | 0 |

L

**Tableaux 4-9** État suivant et sortie du tableau 4-8

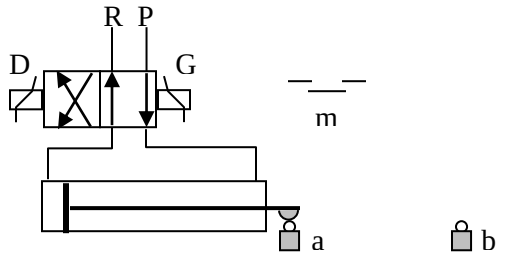
À partir de ces tableaux le lecteur peut déterminer par la méthode de Karnaugh les expressions des fonctions $x_1', x_2', x_3'$ et L et réaliser le circuit de commande électromagnétique ou électronique.

EXERCICE 4-2

Écrire les expressions de l'état suivant et de la sortie en fonction de l'état actuel et de l'entrée de l'exemple 4-2 (tableaux 4-6) et de l'exemple 4-3 (tableaux 4-9). Dans chaque cas, vérifier algébriquement les transitions entre deux états connectés non adjacents.

EXERCICE 4-3

Un vérin à double effet, comportant une came à l'extrémité de son axe, est alimenté à travers un distributeur bistable commandé par 2 électro-aimants D (droite) et G (gauche).




Au repos, la came actionne un bouton de fin de course a. Quand on appuie sur un bouton poussoir de marche m, le piston du vérin se déplace vers la droite jusqu'à l'arrivée de la came à un bouton b où il retourne vers a. Quand la came est en a, ce cycle ne sera exécuté que si l'on ferme m jusqu'à la libération de a. Une fois ce bouton libéré, le bouton m (fermé ou non) n'aura aucun effet sur le déroulement du cycle.

1) Représenter la réalisation électronique des circuits de commande et de puissance.

2) Si le vérin est commandé par pression d'air au lieu des électro-aimants, représenter la réalisation pneumatique du circuit de commande en utilisant comme mémoire la bascule pneumatique (ch2, fig. 2-21).

EXERCICE 4-4

Construire un circuit logique à 2 entrées a et b et une sortie y vérifiant les conditions suivantes :

- y passe de 0 à 1 seulement quand b change de valeur en un instant où a = 1,
- y passe de 1 à 0 seulement quand a passe de 0 à 1 (a et b ne changent jamais au même instant)

## B. Méthode des étapes

Si le nombre p des composantes de l'entrée u est supérieur à 5, la méthode d'Huffman peut conduire à un diagramme complexe et à une large matrice primitive (à $2^p$ colonnes) malaisément exploitables. Il est souvent plus commode de réduire la dimension du diagramme en scindant le fonctionnement du système en étapes chacune pouvant implicitement comporter plusieurs phases. Par définition, une *étape* est un intervalle de temps durant lequel le vecteur d'entrée u peut varier mais le vecteur d'état x et le vecteur de sortie y restent constants. Le système passe donc à une nouvelle étape à chaque variation du vecteur de sortie ou/et à chaque modification du comportement du système vis-à-vis d'une ou de plusieurs entrées. Reprenons le tableau primitif 4-1 de l'exemple 4-1.

| | $\bar{a}\bar{b}$ | $\bar{a}b$ | $a\bar{b}$ | $ab$ | |
|---|---|---|---|---|---|
| 1 | (1) | 4 | | 2 | |
| 2 | 3 | | 5 | (2) | L |
| 3 | (3) | 4 | | 2 | L |
| 4 | 1 | (4) | 6 | | |
| 5 | | 7 | (5) | 2 | L |
| 6 | | 4 | (6) | 8 | |
| 7 | 3 | (7) | 5 | | L |
| 8 | 1 | | 6 | (8) | |

**Tableau 4-1** Matrice primitive

Les phases 2, 5 et 7 peuvent constituer une seule étape car elles ont une même sortie et on peut leur assigner le même état interne puisque l'effet d'une entrée possible est la même durant ces phases (même numéro dans une même colonne). Il en est de même des phases 4, 6 et 8. Par contre, la phase 5 et la phase 3 ne peuvent pas appartenir à une même étape bien qu'elles ont la même sortie. En effet, le comportement du système vis-à-vis de l'entrée (a = 0, b = 1) n'est pas le même durant ces deux phases puisqu'en 5 cette entrée conduit à la phase 7 où la lampe reste allumée tandis qu'en 3 elle conduit à la phase 4 où la lampe s'éteint.

Au lieu de définir les étapes à partir de la matrice primitive des phases, on peut directement représenter les étapes en suivant les conditions qui doivent successivement se réaliser pour modifier la sortie. Nous illustrons cette procédure en considérant de nouveau le cahier des charges de l'exemple 4-1.

- La lampe L ne s'allume que si l'on ferme a en un moment où a et b sont tous les deux ouverts et qui ne s'éteint que si l'on ferme b en un tel moment.

Partons de l'étape numérotée 1 où la lampe est éteinte et que le système attend l'ouverture des deux interrupteur a et b. Quand cette condition se réalise, c.à.d. quand $\bar{a}\bar{b}$ devient 1, le système passe à une nouvelle étape 2 et attend la réalisation de la deuxième condition $a\bar{b}=1$ pour passer à une troisième étape 3 où il allume la lampe. Mais si durant l'étape 2 la première condition $\bar{a}\bar{b}=1$ ne reste plus vraie et b devient 1 avant a, le système retourne à l'étape 1 pour attendre de nouveau la réalisation de cette première condition. En continuant de la sorte, on complète le diagramme quand toutes les transitions de toutes les étapes sont représentées (fig. 4-14).

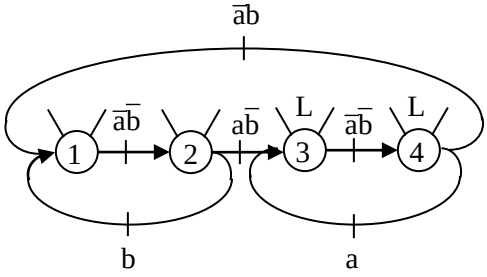



**Fig. 4-14** Diagramme des étapes de l'exemple 1

À remarquer que durant l'étape 1 la sortie est L = 0 et que le système ne quitte pas cette étape pour les entrées (a, b) = (0, 1), (1, 1) ou (1, 0). Ceci signifie que l'étape 1 englobe les phases 4, 6 et 8 du tableau 4-1. De même, l'étape 3 englobe les phases 2, 5 et 7 mais l'étape 2 ne contient que la phase 1 et l'étape 4 ne contient que la phase 3. D'autre part, comme la sortie est constante durant une étape donnée, une même entrée ne produit qu'une seule sortie durant cette étape. On peut donc convenir d'associer à chaque étape un état et nous allons voir que deux étapes peuvent avoir, sous certaines conditions, le même état. Introduisons d'abord quelques définitions.

**Entrées propres et réceptivités.** Durant une étape i certaines composantes $c_k$ de l'entrée u restent constantes et d'autres, $v_r$, peuvent varier. Posons $Q_i$ le produit des $c_k$ en complémentant celles qui ont la valeur 0 de sorte que $Q_i$ = 1durant l'étape i. Soit $K_{ij}$ = 1 la condition de transition de l'étape i à l'étape j où $K_{ij}$ est une fonction logique des $v_k$. Le système quitte l'étape i vers une autre étape quand $K_i = \Sigma_j K_{ij}$ devient 1. La fonction $K_i$ est égale à 0 durant l'étape i sauf à l'instant de transition juste à la fin de cette étape. Les entrées qui vérifient $P_i = Q_i.\bar{K}_i = 1$ ne produisent pas une transition et on dit qu'elles sont *propres* pour l'étape i. Par contre, les entrées qui vérifient $Q_i.K_i$ = 1 déclenchent une transition vers une autre étape et on dit qu'elles sont des *réceptivités* durant l'étape i. Les réceptivités de transition de l'étape i vers l'étape j sont celles qui vérifient $R_{ij} = Q_i.K_{ij}$ = 1.

De la même manière que pour la méthode d'Huffman, nous pouvons traduire le diagramme 4-14 en un tableau où chaque ligne est associée à une étape et chaque colonne à une entrée (tableau 4-9). Dans la case d'entrée $u^k$ et d'étape i on inscrit le numéro j de l'étape vers laquelle se dirige le système sous l'effet de $u^k$. Si j = i, on met i entre parenthèses pour dire que $u^k$ est une entrée propre à l'étape i. Si j ≠ i, $u^k$ est une réceptivité de transition de l'étape i à l'étape j.

a

b

| | | | | | |
|---|---|---|---|---|---|
| 1 | 2 | (1) | (1) | (1) | |
| 2 | (2) | 1 | 1 | 3 | |
| 3 | 4 | (3) | (3) | (3) | L |
| 4 | (4) | 1 | 3 | 3 | L |

**Tableau 4-9** Matrice des étapes du diagramme 4-14

**Fusionnement des étapes.** Désignons par $e_i(u)$ l'étape vers laquelle se dirige le système après l'apparition de l'entrée u durant l'étape i. Si $e_i(u) = e_j(u)$ pour toute entrée possible u commune aux étapes i et j, rien ne nous oblige à assigner à i et j deux états internes différents et on dit qu'elles sont *similaires*. D'où

i et j similaires ⇔ $e_i(u) = e_j(u)$ ∀u commune.

Selon cette définition, aucune des étapes du tableau 4-9 n'est similaire à une autre puisque, pour deux étapes quelconques i et j de ce tableau, il existe une entrée u pour laquelle $e_i(u) \neq e_j(u)$ (dans les lignes de deux étapes il existe deux numéros différents situés dans une même colonne).

Quand le nombre des composantes de l'entrée u est plus grand que 4 la matrice des étapes devient large et dans ce cas il est parfois plus simple d'examiner le fusionnement des étapes directement à partir des expressions des entrées propres $P_i$ et des réceptivités $R_{ij}$. Ceci se fait en appliquant la propriété suivante.

**P1.** Deux étapes distinctes i et j sont similaires si et seulement si les conditions suivantes sont toutes satisfaites :

(a) $P_i.P_j = 0,$

(b) $P_i.R_{jr} = 0, \quad \forall r \neq i$

(c) $R_{ik}.P_j = 0, \quad \forall k \neq j$

(d) $R_{ik}.R_{jr} = 0, \quad \forall k \neq r$

| | | |
|---|---|---|
| $P_i$ | | $R_{ik}$ |
| \| | X | \| |
| $P_j$ | | $R_{jr}$ |

Ces conditions signifient que les lignes des étapes i et j ne comportent pas 2 cases dans une même colonne du tableau des transitions ayant des numéros différents (entre parenthèses ou non). Pour le voir, considérons par exemple la condition (b). Elle signifie que si u est à la fois une entrée propre à l'étape i ($P_i(u)$ = 1) et une réceptivité de l'étape j à l'étape r ($R_{jr}(u)$ = 1), il est nécessaire que r soit égal à i (le même numéro dans les 2 cases de la colonne de u).

Comme $P_i = Q_i.\bar{K}_i$ et $R_{ij} = Q_i.K_{ij}$, les 4 conditions de la propriété P1 seront satisfaites si $Q_iQ_j$ = 0. En d'autres termes, si une composante de l'entrée est toujours 0 durant une étape et elle est toujours 1 durant une autre, les deux étapes sont similaires et peuvent être fusionnées.

## Exemple 4-4

La figure 4-15 représente une perceuse actionnée par un vérin à double effet muni d'un distributeur bistable à électro-aimants B et H. En poussant sur un bouton de marche m, la perceuse effectue l'un des deux cycles suivants selon qu'un interrupteur p

soit ouvert ou fermé.

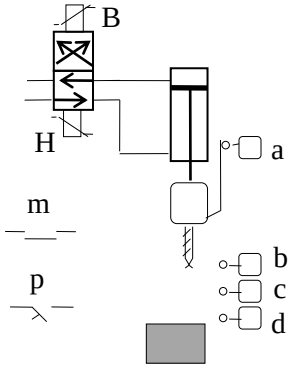



**Fig. 4-15** Perceuse à vérin

a) *Perçage simple* (p ouvert). Le piston descend jusqu'à l'arrivée de la came au bouton d qui indique que la pièce est complètement percée. A cet instant, le piston remonte et s'arrête à l'arrivée de la came au bouton a.

b) *Perçage avec débourrage* (p fermé). Le piston descend jusqu'à l'arrivée de la came au bouton c où il remonte pour évacuer les copeaux (débourrage). Dès que la came libère le bouton b, le piston redescend et complète le perçage jusqu'à d où il remonte et s'arrête à l'arrivée de la came en a.

La came est plus longue que la distance entre les boutons b et d mais plus courte que la distance entre les boutons a et b d'où :

$$ab = 0, \quad c = 1 \Rightarrow b = 1, \quad d = 1 \Rightarrow bc = 1. \qquad (4\text{-}12)$$

D'autre part, pour recommencer un cycle on appuie sur m jusqu'à la libération du bouton a. Une fois a libéré, m n'aura aucun effet sur le système. La figure 4-16 est une représentation schématique de deux cycles et on suppose que p ne peut pas changer de valeur au cours d'un cycle.

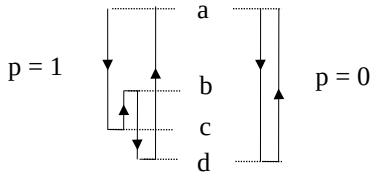



**Fig. 4-16** Les deux cycles de la perceuse.

1) *Entrées-Sorties*. Les entrées constituent le vecteur u = (p, m, a, b, c, d) caractérisant l'état des contacts (1 ⇔ contact fermé) et les sorties constituent le vecteur y = (B, H) caractérisant l'état d'excitation des électro-aimants (1 ⇔ bobine alimentée, B pour la descente du vérin, H pour sa montée).

2) *Diagramme des étapes.* La figure 4-17 représente le diagramme des étapes de la perceuse.

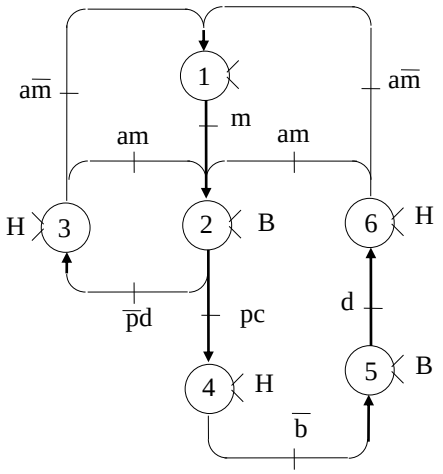



**Fig. 4-17** Diagramme des étapes de la perceuse

Comme il n'existe qu'une seule condition pour passer d'une sortie à une autre (et non pas une succession de conditions), le système passe à une nouvelle étape à la variation du vecteur de sortie c.à.d. quand le piston change de mouvement. À remarquer aussi que lorsque le piston arrive en a (fin des étapes 3 et 6) en un moment où m est actionné, il redescend directement (étape 2) sans passer par l'étape d'arrêt 1. D'autre part, les étapes 3 et 6 peuvent se confondre en une seule puisqu'elles ont la même sortie et que toute entrée pouvant apparaitre durant ces deux étapes conduit le système vers la même étape. Ceci sera vu d'une manière plus systématique quand nous analyserons le fusionnement des étapes.

3) *Entrées propres et réceptivités*. Le tableau 4-10 regroupe pour chaque étape i de la perceuse les expressions de $Q_i$, $K_{ij}$, $\overline{K}_i$, $P_i$ et $R_{ij}$ définis plus haut ainsi que la sortie activée $S_i$ durant cette étape. Tenant compte de (4-12), nous avons remplacé dans ce tableau les termes

$$a\overline{b}\overline{c}\overline{d}, \quad \overline{a}\overline{d}pb, \quad \overline{a}\overline{d}p\overline{b} \quad \text{et} \quad \overline{a}pd$$

respectivement par

$a,\ \bar{d}pb,\ \bar{a}p\bar{b}$ et $pd$.

| i | $Q_i$ | $K_{ij}$ | $\bar{K}_i$ | $P_i$ | $R_{ij}$ | $S_i$ |
|---|---|---|---|---|---|---|
| 1 | a | $m\to 2$ | $\bar{m}$ | $a\bar{m}$ | $am\to 2$ | – |
| 2 | – | $\bar{p}\,d\to 3$<br>$pc\to 4$ | $\bar{p}\bar{d}$<br>$+\,p\bar{c}$ | $\bar{p}\bar{d}$<br>$+\,p\bar{c}$ | $\bar{p}\,d\to 3$<br>$pc\to 4$ | B |
| 3 | $\bar{p}$ | $a\bar{m}\to 1$<br>$am\to 2$ | $\bar{a}$ | $\bar{p}.\bar{a}$ | $\bar{p}a\bar{m}\to 1$<br>$\bar{p}am\to 2$ | H |
| 4 | $\bar{a}\bar{d}p$ | $\bar{b}\to 5$ | b | $\bar{d}pb$ | $\bar{a}\bar{b}p\to 5$ | H |
| 5 | $\bar{a}p$ | $d\to 6$ | $\bar{d}$ | $\bar{a}p\bar{d}$ | $pd\to 6$ | B |
| 6 | p | $a\bar{m}\to 1$<br>$am\to 2$ | $\bar{a}$ | $\bar{a}p$ | $pa\,\bar{m}\to 1$<br>$pam\to 2$ | H |

**Tableau 4-10** Entrées propres et réceptivités

4) *Fusionnement des étapes*. Deux étapes i et j sont similaires si et seulement si les 4 conditions de la propriété P1 sont satisfaites et il suffit que $Q_iQ_j = 0$ pour qu'elles le soient. Étudions le fusionnement de l'étape 1 avec les autres étapes en se référant aux colonnes $Q_i$, $P_i$ et $R_{ij}$ du tableau 4-10.

a) Comme $Q_1Q_4 = Q_1Q_5 = 0$, l'étape 1 est similaire aux étapes 4 et 5.
b) Comme $P_1.P_2 = a.\bar{m}.(\bar{p}.\bar{d} + p.\bar{c}) = a.\bar{m}$ (car a = 1 $\Rightarrow$ d = c = 0) n'est pas nécessairement nul, l'étape 1 n'est pas similaire à l'étape 2.
c) Comme $P_1.P_3 = P_1.R_{32} = R_{12}.P_3 = R_{12}.R_{31} = 0$, l'étape 1 est similaire à l'étape 3. À remarquer qu'on ne considère pas le produit $P_1.R_{31}$ car i = r ni le produit $R_{12}.R_{32}$ car k = r (voir P1).
d) Comme $P_1.P_6 = P_1.R_{62} = R_{12}.P_6 = R_{12}.R_{61} = 0$, l'étape 1 est similaire à l'étape 6.

En examinant le fusionnement de chaque étape i avec les étapes i + 1, i + 2,…, on aboutit au tableau 4-11 où "•" indique que les étapes de sa ligne et de sa colonne sont similaires.

**Tableau 4-11** Tableau des fusionnements

| | | | | | |
|---|---|---|---|---|---|
| 2 | | | | | |
| 3 | • | | | | |
| 4 | • | | • | | |
| 5 | • | | • | | |
| 6 | • | | • | | |
| | 1 | 2 | 3 | 4 | 5 |

5) *Codage des étapes*: Comme pour les phases, la correspondance entre les étapes et les états internes doit satisfaire la condition d'adjacence selon laquelle on associe à deux étapes connectées deux états adjacents (ou le même état si elles sont similaires).

La figure 4-18 représente le codage des étapes de la perceuse et les transitions entre elles.

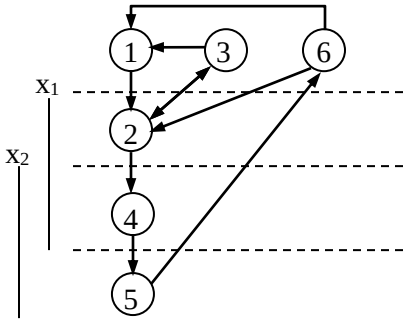



**Fig. 4-18** Codage des étapes

Ce graphe est obtenu de la manière suivante :

a) D'après le diagramme des étapes ou le tableau 4-10, l'étape 1 est connectée aux étapes 2, 3 et 6. Les trois étapes 1, 3 et 6 étant deux à deux similaires (tableau 4-11), on les place sur une même ligne pour leur associer le même état. Comme nous l'avons remarqué plus haut, les étapes 3 et 6 ayant la même sortie et le même état peuvent être confondues en une même étape. L'étape 2 n'étant pas similaire à l'étape 1, on la place dans une deuxième ligne pour lui associer un nouvel état adjacent à celui de l'étape1.
b) L'étape 4 étant connectée à l'étape 2 sans lui être similaire, on la place dans une troisième ligne adjacente à celle de l'étape 2.
c) L'étape 5 est à la fois connectée à 4 et à 6 sans être similaire ni à 4 ni à 6. On la place dans la quatrième ligne symétrique à la ligne de 4 par rapport au troisième axe horizontal ainsi qu'à la ligne de 6 par rapport au deuxième axe horizontal.

Grâce à cette organisation, on satisfait la condition d'adjacence en codant les lignes par un vecteur d'état ($x_1$, $x_2$) de la même manière que celles d'un tableau de Karnaugh.

6) *Fonctions d'état*. La figure 4-18 montre que la mémoire $x_1$ doit être activée durant la transition de l'une des étapes 1, 3 ou 6 vers l'étape 2 c'est-à-dire quand l'entrée vérifie ($R_{12}$ + $R_{32}$ + $R_{62}$) = 1 et que l'état interne ($x_1$, $x_2$) est égale à l'état de départ (0, 0) ou à l'état d'arrivée (1, 0). En en déduit que l'entrée de mise à 1 du loquet SR relatif à la variable d'état $x_1$ est

$$S = (R_{12} + R_{32} + R_{62})(\bar{x}_1.\bar{x}_2 + x_1.\bar{x}_2)$$

Tenant compte de la colonne $R_{ij}$ du tableau 4-10,

$$S = (am + \bar{p}am + pam)\bar{x}_2 = a.m.\bar{x}_2 = am$$

car a = 1 $\Rightarrow$ $x_2$ = 0 puisque, durant les étapes 4 et 5 où $x_2$ = 1, a = 0. Mais la simplification de $\bar{x}_2$ n'est pas obligatoire.

La figure 4-18 montre d'autre part que la mémoire $x_1$ doit être désactivée durant la transition de l'étape 2 vers l'étape 3 ou de l'étape 4 vers l'étape 5. L'entrée de mise à 0 du loquet SR relatif à la variable d'état $x_1$ est donc

$$\begin{aligned} R &= R_{23}.(x_1.\bar{x}_2 + \bar{x}_1.\bar{x}_2) + R_{45}.(x_1.x_2 + \bar{x}_1.x_2) \\ &= \bar{p}.d\bar{x}_2 + \bar{a}\bar{b}px_2. \end{aligned}$$

D'où $R = \bar{p}d + \bar{b}x_2$

car p = 0 => $x_2$ = 0, $x_2$ = 1 $\Rightarrow$ a = 0 et p = 1 (voir tableau 4-10).

Ainsi la valeur suivante de $x_1$ a pour expression

$$x_1' = S + x_1\bar{R} = a.m + x_1.\overline{\bar{p}.d + \bar{b}x_2} \qquad (4\text{-}13)$$

ou

$$x_1' = a.m + x_1.(p + \bar{d})(b + \bar{x}_2). \qquad (4\text{-}14)$$

L'expression (4-14) est plus adaptée que (4-13) pour réaliser le circuit électromagnétique de $x_1'$. De même pour le loquet de $x_2$ on a :

$$\begin{aligned} S &= R_{24}(x_1\bar{x}_2 + x_1x_2) = pcx_1 \\ R &= R_{56}(\bar{x}_1x_2 + \bar{x}_1\bar{x}_2) = pd\bar{x}_1 \end{aligned}$$

D'où

$$x_2' = S + x_2\bar{R} = pcx_1 + x_2\overline{pd\bar{x}_1}$$

qui s'écrit aussi sous la forme

$$x_2' = pcx_1 + x_2(\bar{p} + \bar{d} + x_1). \qquad (4\text{-}15)$$

En remarquant, d'après le codage des étapes et la colonne $Q_i$ du tableau 4-10, que

$x_2 = 1 \Rightarrow p = 1$ et $x_1\, x_2 = 1 \Rightarrow d = 0$,

on a :

$$x_2\bar{p} + x_2\bar{d} + x_1x_2 = x_2\bar{d} + x_1x_2\bar{d} = x_2\bar{d}$$

et l'équation (4-15) peut donc se réduire à

$$x_2' = pcx_1 + x_2\bar{d}. \qquad (4\text{-}16)$$

7) *Fonctions de sortie*. Le diagramme des étapes (ou la colonne $S_i$ du tableau 4-10) indique que la sortie B doit être activée durant les étapes 2 et 5 d'états internes (1, 0) et (0, 1), avant l'apparition d'une condition de transition. D'où

$$B = x_1.\bar{x}_2.P_2 + \bar{x}_1.x_2.P_5 = x_1.\bar{x}_2.\bar{K}_2 + \bar{x}_1.x_2.\bar{K}_5$$

car $x_1\bar{x}_2 = 1 \Rightarrow Q_2 = 1 \Rightarrow P_2 = Q_2.\bar{K}_2 = \bar{K}_2$ et $\bar{x}_1x_2 = 1 \Rightarrow Q_5 = 1 \Rightarrow P_5 = Q_5.\bar{K}_5 = \bar{K}_5$. (Quand l'état ne correspond qu'à une seule étape i, on peut remplacer $P_i$ par $\bar{K}_i$ dans l'expression d'une sortie). Donc

$$B = x_1.\bar{x}_2.(\bar{p}.\bar{d} + p.\bar{c}) + \bar{x}_1.x_2.\bar{d}. \qquad (4\text{-}17)$$

De même, la sortie H est activée durant les étapes 3, 4 et 6 avant la transition, d'où :

$$H = \bar{x}_1.\bar{x}_2.(P_3 + P_6) + x_1.x_2.\bar{K}_4$$

$$\Rightarrow \qquad H = \bar{x}_1.\bar{x}_2.\bar{a} + x_1.x_2.b. \qquad (4\text{-}18)$$

Bien que chacune des expressions (4-17) et (4-18) de B et H comporte des termes disjoints, elle ne génère pas des aléas de continuité car il n'existe pas une transition directe entre l'étape 2 et l'étape 5 ou entre les étapes 3, 4 et 6.

8) *Réalisation physique*. La figure 4-18 représente le circuit électromagnétique du système déduit des équations (4-14), (4-16), (4-17) et (4-18) et la figure 4-19 représente son circuit électronique déduit des équations (4-13), (4-16), (4-17) et (4-18).

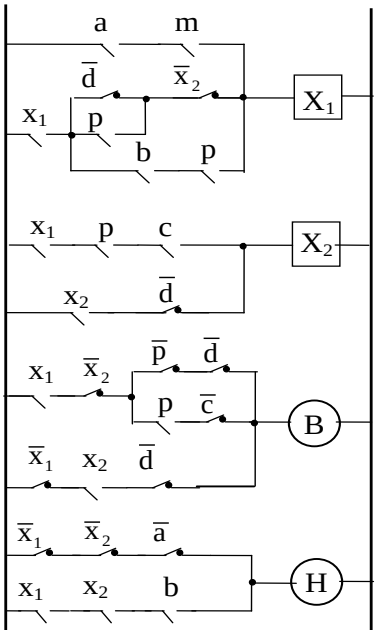



**Fig. 4-18** Circuit de commande électromagnétique de la perceuse

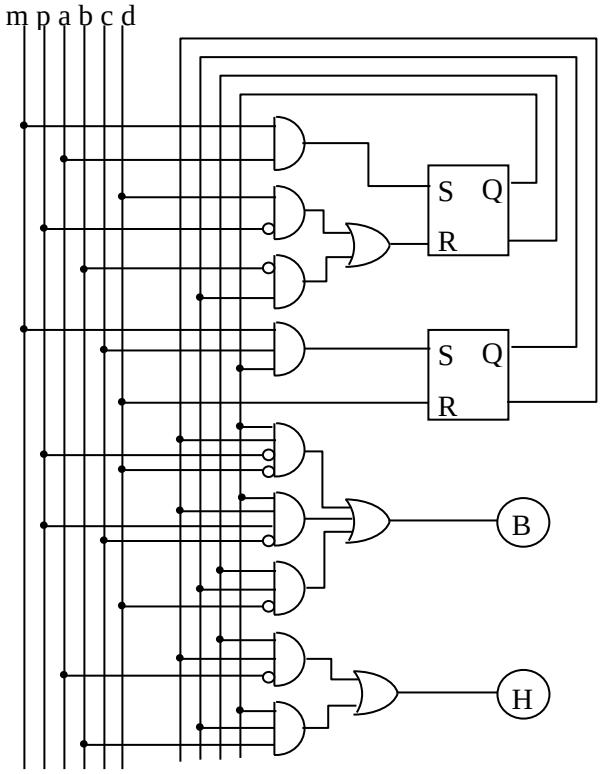


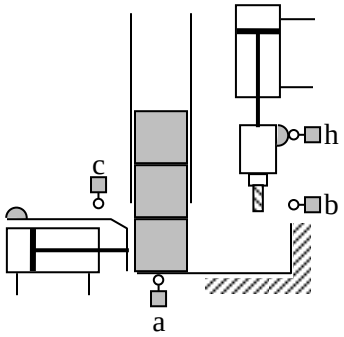

**Fig. 4-19** Circuit de commande électronique de la perceuse

EXERCICE 4-5

On dispose de 3 boutons a, b et c et d'une lampe L. Cette lampe ne s'allume que lorsqu'on ferme a en un moment où seul b est fermé et elle ne s'éteint que lorsqu'on ouvre b en un moment où seul a est ouvert. Représenter les circuits de commande électromagnétique et électronique de la lampe.

EXERCICE 4-6

Les boutons h, a, c et b de la perceuse représentée par la figure, indiquent respectivement
- la disponibilité de recevoir une nouvelle pièce,
- la présence d'une pièce devant le vérin horizontal,
- le serrage de la pièce sous la perceuse.
- la fin de perçage d'une pièce.




Chacun des vérins est commandé par un distributeur monostable à 2 positions muni d'une bobine et d'un ressort de rappel.
Construire par la méthode des étapes le plus simple circuit électronique de commande qui permet de percer l'une après l'autre les pièces contenues dans la goulotte.

## 4-2 SYSTÈMES SYNCHRONES

La difficulté causée par l'effet de course disparait si les sorties d'une mémoire ne sont appliquées à l'entrée d'autres mémoires que lorsqu'elles se stabilisent à leurs valeurs finales. Dans ce but, les systèmes synchrones sont munis d'une horloge dont le signal en créneaux gère la circulation des données. Il contraint les mémoires à ne modifier leurs états que quand il est égal à 0 et à ne les délivrer que quand il est égal à 1. Comme le montre

schématiquement la figure 4-20, l'intervalle de temps où le signal de l'horloge est constant (égal 0 ou 1) doit être suffisamment large (quelques dizaines de nanosecondes) pour donner le temps à tous les signaux du circuit de se stabiliser avant de les recevoir ou les transmettre.

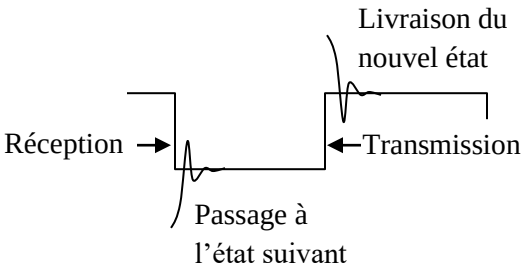



**Fig. 4-20** Rôle du signal d'horloge

Une mémoire à un bit gérée par un signal d'horloge est appelée *bascule* (bistable ou flip-flop). Nous commençons cette section par le principe de fonctionnement d'une horloge binaire avant de passer à la description des principaux types de bascules et terminer par une méthodologie de synthèse des circuits synchrone.

## 4-2-1 Horloges

Une horloge binaire est un multivibrateur astable oscillant entre 2 états 0 et 1 comme le montre la figure 4-21a et produit une onde périodique ayant la forme de la figure 4-21b.

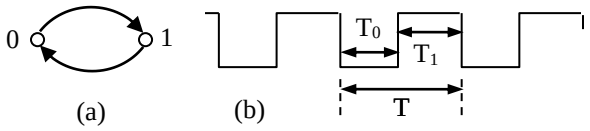



**Fig. 4-21** États et signal d'une horloge

Une horloge peut être purement électronique ou électromécanique. Nous donnons ici le principe de fonctionnement de deux circuits du premier type, l'horloge à inverseurs et l'horloge à temporisateur 555. Pour le second type, on ne donne que le circuit à cristal le plus employé, l'oscillateur de Pierce. Nous laissons au lecteur le soin de se référer aux catalogues des fabricants pour le choix des éléments qui conviennent le mieux à son application.

**Horloge à inverseurs.** Considérons le circuit de la figure 4-22a et rappelons que la tension de sortie d'un inverseur est égale à la tension $V_{DD}$ de son alimentation ou à 0 volt selon que la tension appliquée à son entrée est inférieure ou supérieure à la tension de seuil $V_{th}$ (threshold voltage < $V_{DD}$).

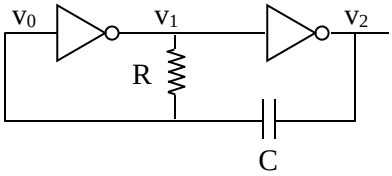



**Fig. 4-22a** Horloge électronique

La tension $u = v_1 - v_2$ est égale à $V_{DD}$ quand $v_0 < V_{th}$ et elle est égale à $-V_{DD}$ quand $v_0 \geq V_{th}$. D'autre part, sachant que le courant aux entrées des inverseurs est nul, la tension $v_c = v_0 - v_2$ aux bornes de la capacité vérifie $Cdv_c/dt = (u - v_c)/R$ qui s'écrit

$$\tau \frac{dv_c}{dt} + v_c = u = \pm V_{DD} \quad \text{avec} \quad \tau = RC .$$

En prenant comme origine de temps l'instant où u change de valeur, la solution de l'équation précédente est

$$v_c = u + (v_{c0} - u)e^{-t/\tau} \qquad (4\text{-}19)$$

où $v_{c0}$ est la valeur de $v_c$ à l'instant initial quand les inverseurs commutent, c.à.d. quand $v_0 = v_{th}$.

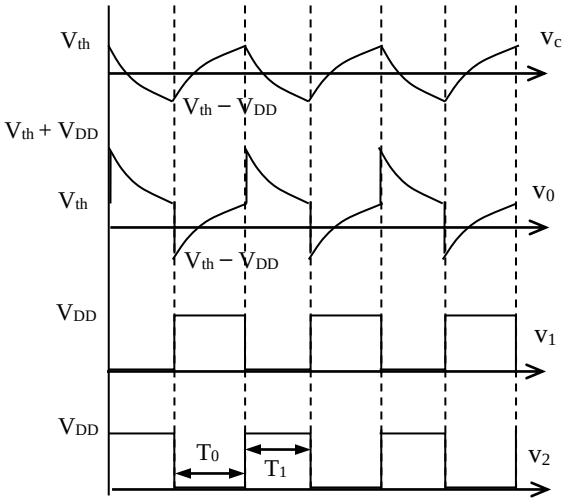



**Fig. 4-22b** Signaux dans le circuit de la figure 4-22a

De (4-19) on peut déduire que $v_c$ croît quand u = $V_{DD}$ et décroît quand u = $-V_{DD}$ et on a : $v_0 = v_c + v_2$. D'où les graphes de la figure 4-22b où l'on voit que $v_1$ et $v_2$ sont des signaux d'horloge. D'autre part, d'après (4-19), les largeurs des intervalles où $v_2 = 0$ et $v_2 = 1$ sont respectivement

$$T_0 = \tau.\mathrm{Ln}\frac{2V_{DD} - V_{th}}{V_{DD} - V_{th}} \qquad (4\text{-}20)$$
$$\text{et} \quad T_1 = \tau.\mathrm{Ln}\frac{V_{DD} + V_{th}}{V_{th}}.$$

Si les inverseurs sont des CMOS à double tampon (voir fig.2-42), on a $V_{th} = V_{DD}/2$ d'où $T_0 = T_1 = \tau.\mathrm{Ln}3$.

**Horloge à temporisateur 555.** Ce temporisateur, représenté à l'intérieur du rectangle gris de la figure 4-23, est essentiellement constitué de deux comparateurs 1 et 2, d'une bascule SR et d'un transistor. La sortie d'un comparateur est égale à la valeur logique 1 (5 volts) si la différence $v^+ - v^-$ entre ses entrées est positive et elle est égale à la valeur logique 0 si $v^+ - v^- < 0$. La tension $V_1$ appliquée à l'entrée – du comparateur 1 est égale à $2V_{CC}/3$ et la tension $V_2$ appliquée à l'entrée + du comparateur 2 est égale à $V_{CC}/3$ où $V_{CC}$ est la tension d'alimentation du circuit.

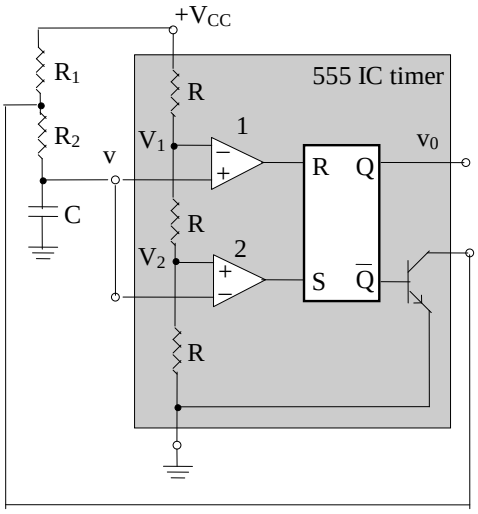



**Fig. 4-23** Horloge à temporisateur 555

Pour réaliser l'horloge, on connecte le temporisateur à un pont diviseur constitué de 2 résistances $R_1$, $R_2$ et d'une capacité C comme le montre la figure. Dès que la tension v appliquée aux entrées du temporisateur dépasse légèrement $V_1$, les entrées R et S et les sorties du loquet deviennent

$$R = 1, \quad S = 0 \quad \rightarrow \quad Q = 0 \quad \text{et} \quad \bar{Q} = 1.$$

Le transistor se sature et permet à C de se décharger à travers $R_2$. La tension v diminue et quand, après un temps $T_0$, elle devient légèrement inférieure à $V_2$, les entrées et les sorties du loquet prennent les valeurs

$$R = 0, \quad S = 1 \quad \rightarrow \quad Q = 1 \quad \text{et} \quad \bar{Q} = 0.$$

Le transistor se bloque et C se charge à travers $R_1$ et $R_2$. La tension v augmente et quand, après un temps $T_1$, elle devient légèrement supérieure à $V_1$, le cycle se répète.

On obtient ainsi un signal d'horloge à la sortie $v_0$ et il est facile de vérifier que

$$T_0 = \tau_0 \mathrm{Ln}2 \quad \text{et} \quad T_1 = \tau_1 \mathrm{Ln}2 \qquad (4\text{-}21)$$
où $\tau_0 = R_1C$ et $\tau_1 = (R_1 + R_2)C$.

**Horloge à cristal.** Les relations (4-20) et (4-21) montrent que la forme du signal de sortie dépend des paramètres, $\tau$, $V_{th}$, $V_{DD}$, $\tau_0$ et $\tau_1$ qui peuvent varier sous l'effet du milieu ambiant (parasites, vibrations, température, …). L'horloge sera beaucoup moins sensible à ces perturbations s'il incorpore un cristal piézoélectrique qui impose au circuit la fréquence naturelle de sa déformation. Cet élément mécanique se déforme sous l'effet de la tension électrique et le courant qui le traverse dépend du déplacement de ses particules. La figure 4-24 représente le circuit équivalent du cristal où L, C et R sont les analogues respectifs de sa masse, de sa raideur et de son amortissement. $C_p$ est la capacité des plaques qui retiennent le cristal et le connecte au circuit extérieur.

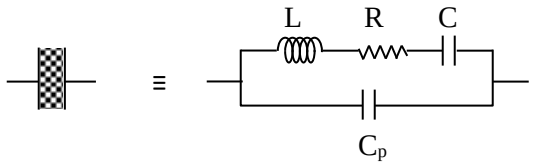



**Fig. 4-24** Circuit équivalent d'un cristal

L'impédance du cristal est donc

$$Z_c = (1/C_p s)//[Ls + R + 1/Cs]$$
$$= \frac{s^2 + (R/L)s + 1/LC}{C_p s[s^2 + (R/L)s + (1/LC)(1 + C/C_p)]}$$

où s = jω pour l'harmonique de fréquence ω. Les fréquences naturelles du numérateur et du dénominateur sont respectivement

$$\omega_s = \frac{1}{\sqrt{LC}} \quad \text{et} \quad \omega_p = \omega_s\sqrt{1 + \frac{C}{C_p}}$$

appelées fréquence de résonnance série et fréquence de résonnance parallèle.

La plupart des circuits d'horloge sont conçus en mode parallèle. Il est évident qu'en branchant en parallèle à $C_p$ (au cristal) un circuit capacitif de valeur $C_L$, la fréquence $\omega_p$ diminue et devient

$$\omega = \omega_s\sqrt{1 + \frac{C}{C_{eq}}} \quad \text{avec} \quad C_{eq} = C_p + C_L \qquad (4\text{-}22)$$

L'oscillateur fonctionne correctement quand la valeur de la fréquence ω est située entre $\omega_s$ et $\omega_p$ et le fabricant du cristal recommande la valeur de $C_L$ qui s'adapte le mieux.

Parmi les circuits à cristal les plus employés est l'oscillateur de Pierce représenté par la figure 4-25.

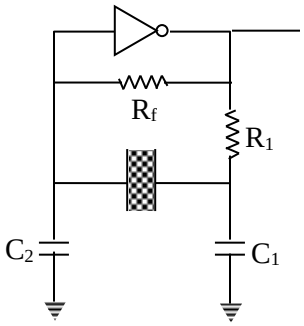



**Fig. 4-25** Circuit d'horloge à cristal

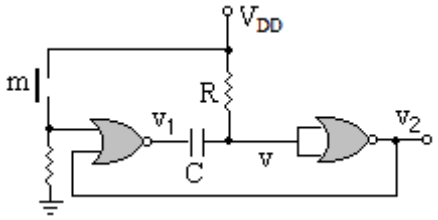
Les oscillations engendrées par le cristal et les capacités $C_1$ et $C_2$ basculent périodiquement la sortie de l'inverseur entre $V_{DD}$ et 0 et produisent le signal d'horloge. La capacité $C_L$ de la formule (4-22) est ici équivalente à $C_1$ et $C_2$ montées en série, c.à.d.

$$C_L = \frac{C_1 C_2}{C_1 + C_2} \qquad (4\text{-}23)$$

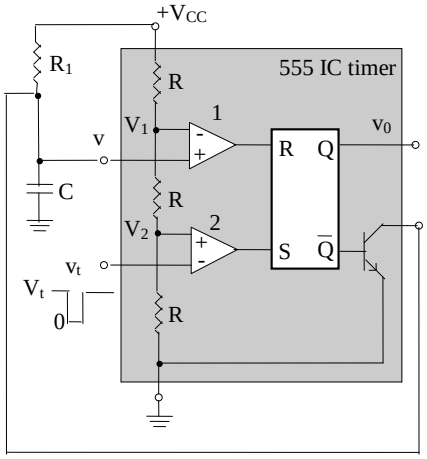
où $C_1$ et $C_2$ sont généralement choisies presque égales. Les résistances $R_f$ et $R_1$ servent à ajuster les tensions à l'entrée de l'inverseur et aux bornes du cristal à des valeurs convenables. $R_f$ est de l'ordre de 1 MΩ et $R_1$ est voisine de $1/C_1\omega$.

EXERCICE 4-7

La figure représente un multivibrateur monostable (one-shot multivibrator) qui, en appuyant sur le bouton m pendant un temps $t_0$, produit à sa sortie $v_2$ une impulsion rectangulaire dont la durée T est indépendante de $t_0$. La tension de seuil des portes NOR est $V_{th} = V_{DD}/2$ et en supposant qu'à l'instant $0^-$ le courant à travers R est nul, représenter $v_1$, v et $v_2$ et déterminer T en fonction de R et C. Considérer les deux cas : $t_0 < T$ et $t_0 > T$.




EXERCICE 4-8




Ce circuit est aussi un multivibrateur monostable qui peut être utilisé comme temporisateur. Au repos,

l'entrée $v_t$ de déclenchement (trigger input) est égale à $V_t > V_2$. Montrer que quand on annule $v_t$ pendant un temps $t_0$, on obtient à la sortie $v_0$ une impulsion rectangulaire de durée T indépendante de $t_0$. Représenter les tensions v et $v_0$ et déterminer T en fonction de R et C. Considérer les deux cas : $t_0 < T$ et $t_0 > T$.

## 4-2-2 Bascules

Les bascules les plus simples sont dites à niveau. Ce sont des mémoires qui n'acceptent les données que quand elles sont activées par un niveau (bas ou haut) d'une entrée d'activation (enable input). Avec ces bascules, qui dérivent directement du loquet SR, il est nécessaire de satisfaire la condition d'adjacence pour éviter les effets de course. Par contre, les bascules à structure dite maître-esclave ont l'avantage de protéger par elles mêmes le circuit des aléas de continuité. Elles reçoivent les données en un front du signal d'horloge et délivrent leur sorties au front suivant donnant ainsi le temps aux signaux de se stabiliser (voir figure 4-20).

**Bascules à niveau.** La figure 4-26 représente le circuit en portes NAND d'une bascule SR activée par le niveau haut de l'entrée E.

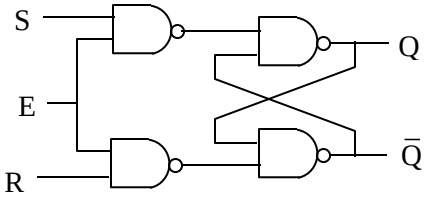



**Fig. 4-26** Bascule SR à niveau

Ce circuit ne diffère de celui du loquet SR asynchrone en portes NAND (voir exercice 4-1) que par l'entrée d'activation E appliquée à chacune des deux portes d'entrée. Il est clair que pour E = 1, la bascule SR à niveau fonctionne de la même manière que le loquet SR et que pour E = 0, les sorties Q et $\overline{Q}$ conservent leurs dernières valeurs. Souvent l'entrée E est un signal d'horloge.

La seule bascule à niveau utilisée en pratique est la bascule à délai D (delay flip-flop). Elle a la même structure que la bascule SR mais ses entrées sont toujours complémentaires : $S = D$ et $R = \overline{D}$ (fig. 4-27). Par conséquent, son état suivant Q' = D si E = 1 et Q' = Q si E = 0.

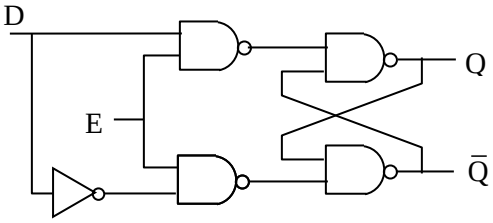


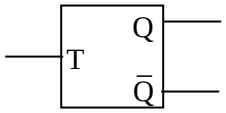

**Fig. 4-27** Bascule D à niveau

**Bascules maître-esclaves.** On en distingue 3 types : la bascule T, la bascule JK et la bascule D.

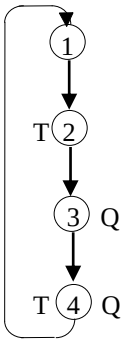
<u>Bascule T (toggle flip-flop)</u>

Cette *bascule* dont le symbole est représenté par la figure 4-28 a une entrée T et deux sorties complémentaires Q et $\overline{Q}$ . Ces sorties ne changent de valeurs que lorsque T passe de la valeur logique 1 à la valeur logique 0. Dans les autres cas elles conservent leurs valeurs précédentes.

**Fig. 4-28** Symbole d'une bascule T




La figure 4-29 représente le diagramme de phases de la bascule ainsi que sa matrice primitive. Cette matrice montre qu'aucune phase n'est fusionnable à une autre et elle est donc égale à la matrice contractée.




| | T | |
|---|---|---|
| $x_1$ | (1) | 2 |
| $x_2$ | 3 | (2) |
| | (3) | 4 |
| | 1 | (4) |

**Fig. 4-29** Diagramme et matrice contractée de la bascule T

D'autre part, il est facile de vérifier que le codage des 4 phases, représenté par les traits $x_1$ et $x_2$, satisfait la condition d'adjacence. Les fonctions d'état $x_1'$ et $x_2'$ sont donc définies par les matrices suivantes :

$$\begin{array}{c|cc} & \multicolumn{2}{c}{T} \\ \hline x_1 & 0 & 1 \\ x_2 & 1 & 1 \\ & 1 & 0 \\ & 0 & 0 \end{array} \qquad \begin{array}{c|cc} & 0 & 0 \\ & 1 & 0 \\ x_1 & 1 & 1 \\ x_2 & 0 & 1 \end{array} \; T$$

$$x_1' \qquad\qquad x_2'$$

D'où
$$\begin{cases} x_1' = T.\bar{x}_2 + x_1.(\bar{T} + \bar{x}_2), \\ x_2' = \bar{T}.x_1 + x_2.(T + x_1). \end{cases} \qquad (4\text{-}24)$$

À remarquer que les expressions (4-24) de $x_1'$ et $x_2'$ contiennent respectivement les termes de jonction $x_1\bar{x}_2$ et $x_1x_2$ afin d'éviter les aléas de continuité. Ces relations montrent que les variables d'état $x_1$ et $x_2$ peuvent être produites par deux loquets SR dont les entrées sont respectivement données par

$$\begin{cases} S_1 = T.\bar{x}_2 \\ R_1 = Tx_2 \end{cases} \quad \text{et} \quad \begin{cases} S_2 = \bar{T}.x_1 \\ R_2 = \bar{T}\bar{x}_1 \end{cases} \qquad (4\text{-}25)$$

En remarquant que Q = $x_2$, le circuit de la bascule T est celui représenté par la figure 4-30.

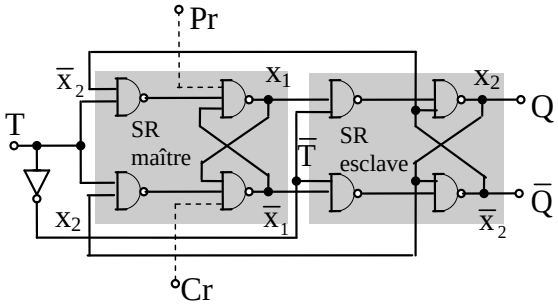


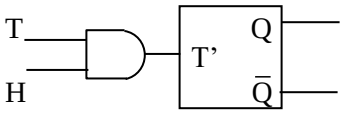

**Fig. 4-30** Circuit de la bascule T

Les circuits à l'intérieur des rectangles gris sont les deux loquets SR construits en portes NAND, le premier est appelé *maître* et l'autre *esclave*. Quand T = 1, le loquet maître est transparent, c'est-à-dire qu'il transmet à ses sorties $x_1$ et $\bar{x}_1$ les valeurs des entrées $S_1 = T\bar{x}_2 = \bar{x}_2$ et $R_1 = Tx_2 = x_2$. Comme durant ce temps $\bar{T} = 0$, le loquet esclave n'est pas affecté par les nouvelles valeurs de $x_1$ et $\bar{x}_1$ et ses sorties $x_2$ et $\bar{x}_2$ conservent leurs valeurs précédentes. Quand T s'annule, les sorties $x_1$ et $\bar{x}_1$ du loquet maître conservent les valeurs obtenues durant T = 1 ($x_1 = \bar{x}_2, \bar{x}_1 = x_2$) et ces mêmes valeurs sont maintenant transmises par le loquet esclave vers les sorties Q et $\bar{Q}$ qui deviennent les compléments de leurs valeurs précédentes. Ainsi, le circuit *maître-esclave* (master-slave) n'est affecté par ses entrées que lorsque T = 1 et ses sorties ne changent que lorsque T = 0.

Le circuit de la bascule comporte généralement deux autres entrées Cr (clear) et Pr (preset) représentées sur la figure 4-30 en lignes pointillées. En fonctionnement normal, ces entrées ont la valeur logique 1 mais si l'on applique une impulsion nulle à Pr quand T = 0 et Cr = 1, il est facile de voir en examinant le circuit qu'on oblige $x_2$ à prendre la valeur 1 et $\bar{x}_2$ la valeur 0. Par contre, en appliquant une impulsion nulle à Cr quand T = 0 et Pr = 1, $x_2$ prend la valeur 0 et $\bar{x}_2$ la valeur 1. Les entrées Pr et Cr ne doivent pas s'annuler simultanément et elles sont généralement utilisées pour introduire dans la bascule un état initial désiré.

EXERCICE 4-9
Construire une bascule T munie des entrées Pr et Cr en n'utilisant que des portes NOR.

Comme le montre la figure suivante, la bascule T synchronisée par le signal d'une horloge H comporte une porte AND à l'entrée de la bascule T décrite plus haut et symbolisée par la figure 4-28. L'état Q de cette bascule se modifie au front descendant de l'horloge si et seulement si T = 1.




Bascule T synchronisée par H

Bascule JK

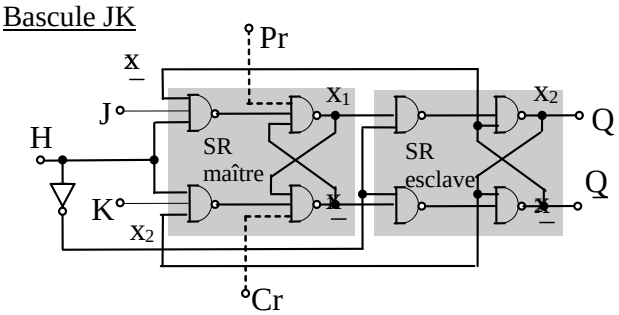



**Fig. 4-31** Circuit de la bascule JK

On obtient la bascule JK en ajoutant à la bascule T deux nouvelles entrées J et K et en appliquant à son entrée T les impulsions d'une horloge H comme le montre la figure 4-31.

Durant une impulsion de H (H = 1), les entrées du loquet maître sont $S_1 = J.\overline{x}_2$ et $R_1 = K.x_2$. Analysons les effets des quatre combinaisons possibles des entrées J et K en supposant qu'elles restent constantes durant l'impulsion de H.

1) J = 1, K = 1
Il est évident que dans ce cas la bascule JK fonctionne comme la bascule T : quand H s'annule, les sorties Q et $\overline{Q}$ changent de valeurs.

2) J = 0, K = 0
Comme $S_1 = R_1 = 0$, les sorties $x_1$ et $\overline{x}_1$ du loquet maître conservent leurs valeurs précédentes et il en est donc de même des sorties Q et $\overline{Q}$ du loquet esclave après la fin de l'impulsion de H.

3) J = 1, K = 0
a) Si, durant l'impulsion de H, $\overline{x}_2 = 0$, on a $S_1 = R_1 = 0$ d'où $x_1$ et $\overline{x}_1$ conservent leurs valeurs précédentes qui sont respectivement égales à 1 et 0. A la fin de l'impulsion, Q et $\overline{Q}$ conservent donc leurs valeurs 1 et 0.
b) Si, durant l'impulsion de H, $\overline{x}_2 = 1$, on a $S_1 = 1$ et $R_1 = 0$ d'où $x_1$ prend la valeur 1 et $\overline{x}_1$ la valeur 0. A la fin de l'impulsion, Q et $\overline{Q}$ auront aussi les valeurs 1 et 0 comme dans le cas a).

4) J = 0, K = 1
Un raisonnement analogue au précédent montre qu'on obtient toujours à la fin de l'impulsion de H les sorties Q = 0 et $\overline{Q}$ = 1.

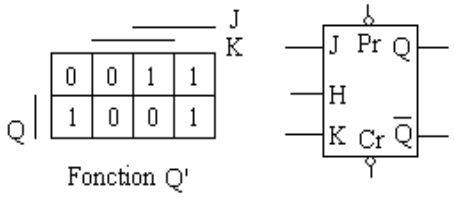



**Fig. 4-32** Fonctionnement et symbole d'une bascule JK

La figure 4-32 représente le symbole de la bascule JK et le tableau de son état suivant Q' en fonction des entrées J et K et de l'état actuel Q.

La bascule JK fonctionne donc de la même manière que le loquet SR à part qu'elle est synchronisée par H et que l'entrée (J, K) = (1, 1), qui est maintenant permise, complémente les sorties. Si J et K sont maintenus à la valeur 1 (connectés à la tension d'alimentation), la bascule JK se comporte en bascule T. D'autre part, en connectant J, K et H à 0 (à la masse), on peut utiliser la bascule JK comme un loquet SR en utilisant Pr comme entrée S et Cr comme entrée R.

<u>Bascule D</u>
La bascule à délai D (delay flip-flop) s'obtient à partir de la bascule JK en connectant J à une entrée D et K à $\overline{D}$ comme le montre la figure 4-33a. La sortie Q aura donc, à la fin de l'impulsion de H, la même valeur que D. La figure 4-33c montre que la bascule D a pour rôle de retarder la variation de l'entrée D jusqu'à la prochaine descente $1 \rightarrow 0$ de H. De cette manière, on obtient un signal qui ne change de valeur qu'aux instants 0, T, 2T,… où T est la période de l'horloge H et on dit que ce signal est synchrone avec H. La figure 4-33b est une représentation symbolique de la bascule D.

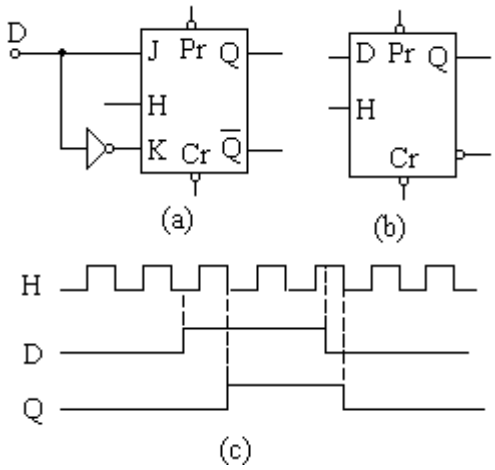
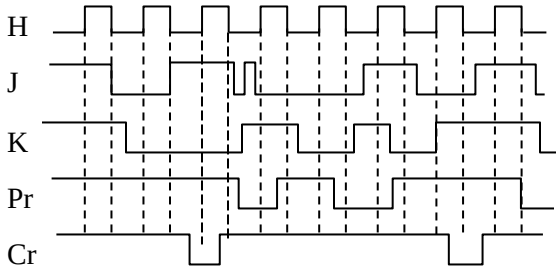



**Fig. 4-33**Bascule D, fonctionnement et symbole

**Remarque.** Les sorties des bascules considérées ci-dessus ne changent de valeur qu'au front descendant (negative-going edge) de l'impulsion de l'horloge H. Il est clair que si l'inverseur de la figure 4-30 est placé à l'entrée du loquet maître au

lieu du loquet esclave, on obtient une bascule maître-esclave à front montant (positive-going edge flip-flop).

EXERCICE 4-10




La figure montre les signaux appliqués à une bascule JK à front descendant. Sachant qu'à l'instant initial la sortie Q = 0, représenter en fonction du temps la sortie $x_1$ du loquet maître ainsi que la sortie Q de la bascule. On néglige le temps de propagation à travers les SR.

EXERCICE 4-11

1) Montrer que l'état suivant Q' d'une bascule JK est lié à l'état actuel Q et aux entrées J et K par la relation $Q' = \overline{Q}.J + Q.\overline{K}$. Est-il nécessaire d'ajouter à cette expression le p-terme de jonction $J.\overline{K}$ ?

2) On considère une lampe L, deux poussoirs a et b et une horloge H. Si a et b sont relâchés, la lampe s'éteint ; si a seul est actionné, elle s'allume ; si b seul est actionné, elle conserve son état précédent et si on agit à la fois sur a et b, son état change. Montrer que l'état suivant L' de la lampe est lié à son état actuel L et aux entrées a et b par une relation de la forme $L' = \overline{L}.f + L.g$ où f et g sont deux expressions logiques à déterminer. Construire le circuit de commande de la lampe synchronisé par l'horloge H.

**Avantage de la synchronisation.** Comme nous l'avons signalé plus haut, les circuits synchrones sont plus lents que les circuits asynchrones mais plus simples à concevoir grâce aux bascules maître-esclaves. L'exemple suivant montre la simplicité que peut apporter la synchronisation.

## Exemple 4-5

Il s'agit de construire un compteur modulo 3. Il a une entrée u qui reçoit des impulsions rectangulaires et deux sorties $y_1$ et $y_2$ qui indiquent le modulo 3 du nombre d'impulsions reçues. Après n impulsions,

$$y_1 = 0, y_2 = 0 \quad \text{si} \quad n = 3k,$$
$$y_1 = 0, y_2 = 1 \quad \text{si} \quad n = 3k+1,$$
$$y_1 = 1, y_2 = 0 \quad \text{si} \quad n = 3k+2, \quad k \in \mathbb{N}.$$

Circuit asynchrone.

Pour concevoir un circuit asynchrone il est nécessaire de tenir compte de la valeur de l'entrée à chaque instant. La figure 4-34 montre le diagramme de phases du compteur ainsi que sa matrice primitive. On remarque qu'aucune phase n'est équivalente à une autre ce qui nécessite au moins 3 mémoires pour coder ces phases.

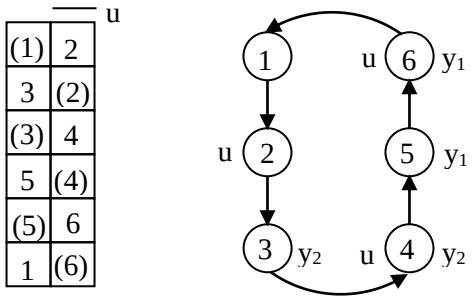



**Fig. 4-34** Diagramme et matrice primitive du compteur modulo 3.

La figure 4-35a montre un codage à 3 variables d'état satisfaisant la condition d'adjacence ainsi que les tableaux qui définissent les sorties.

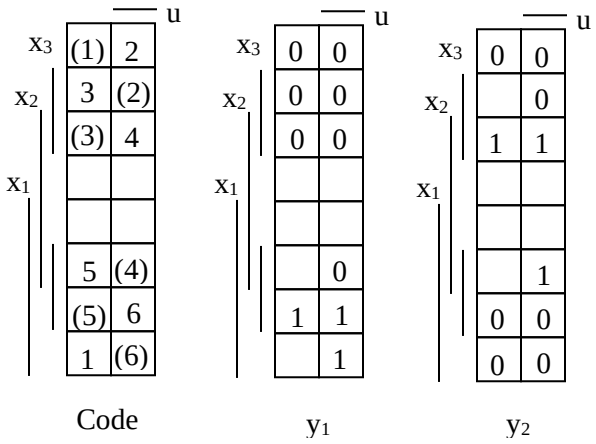



**Fig. 4-35a** Tableaux de codage et des sorties

Les tableaux de la figue 4-35b définissent les composantes de l'état suivant.

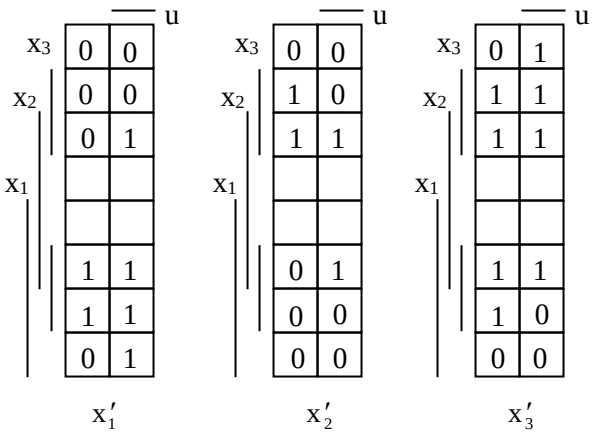



**Fig. 4-35b** Fonctions d'état du compteur modulo 3

En appliquant à ces tableaux la méthode de simplification de Karnaugh, on tire

$$x_1' = u(x_2 + x_1) + x_1x_3 = ux_2 + x_1(\overline{\bar{u}.\bar{x}_3}),$$

$$x_2' = \bar{u}.\bar{x}_1x_3 + ux_2 + \bar{x}_1x_2 = \bar{u}.\bar{x}_1x_3 + x_2(\overline{\bar{u}x_1}),$$

$$x_3' = u\bar{x}_1 + \bar{u}x_3 + x_2 + \bar{x}_1x_3 = u\bar{x}_1 + x_2 + x_3(\overline{ux_1}),$$

$$y_1 = x_1\bar{x}_2, \quad y_2 = x_2.$$

Le circuit de la figure 4-36 réalise ces équations.

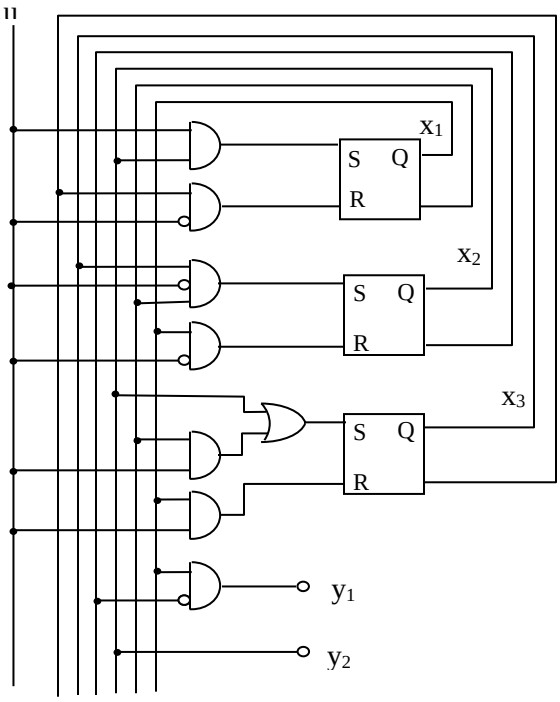



**Fig. 4-36** Circuit asynchrone du compteur modulo 3.

Circuit à bascules JK.

Nous supposerons que ces bascules se déclenchent (changent d'état) au front descendant de l'horloge. D'un autre côté, la sortie du compteur doit se modifier à chaque descente du signal d'entrée u. Dans ce but, on fait u = H en connectant u aux entrées d'horloge H des bascules JK dont les sorties constituent les composantes de l'état x du système. Ainsi, le passage à une nouvelle étape, c.à.d. à un nouvel état et/ou à une nouvelle sortie, aura lieu à chaque descente de u comme le montre le diagramme des étapes de la figure 4-37.

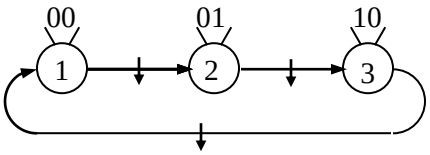



**Fig. 4-37** Diagramme d'étapes du compteur modulo 3.

Les 3 étapes de ce diagramme peuvent être codées par des vecteurs d'état à 2 composantes x = ($x_1$, $x_2$). En assignant à $x_1$ et $x_2$ les mêmes valeurs que les sorties $y_1$ et $y_2$ ($x_1 = y_1$ et $x_2 = y_2$), nous économisons le circuit qui réalise $y_1$ et $y_2$. À noter que, par ce codage, la condition d'adjacence entre les états des étapes connectées 2 et 3 ne sera pas satisfaite. Mais, comme les bascules utilisées sont de type maître-esclave, le problème de l'effet de course ne se pose pas (en supposant que la durée de propagation à travers un loquet SR est plus courte que la durée entre 2 changements de u). Déterminons pour ce codage les expressions des entrées des deux bascules JK qui produisent $x_1$ et $x_2$.

D'après le diagramme 4-37, la bascule d'état $Q_1 = x_1$ doit être activée (au front descendant de u) si $\bar{x}_1x_2 = 1$ et désactivée si $x_1\bar{x}_2 = 1$. Il suffit donc de poser $J_1 = \bar{x}_1x_2$ et $K_1 = x_1\bar{x}_2$. Comme le loquet maitre de la bascule a pour entrées $S_1 = HJ_1\bar{x}_1$ et $R_1 = HK_1x_1$ (voir figure 4-31), on peut supprimer $\bar{x}_1$ de $J_1$ et $x_1$ de $K_1$ et écrire :

$$J_1 = x_2 \quad \text{et} \quad K_1 = \bar{x}_2.$$

Par un raisonnement analogue on trouve :

$$J_2 = K_2 = \bar{x}_1.$$

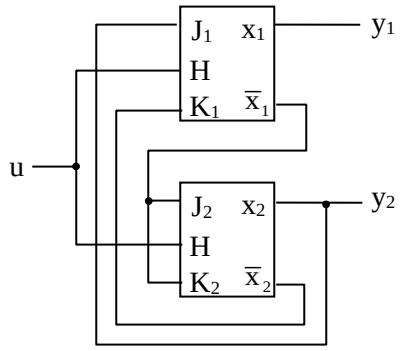



**Fig. 4-38** Compteur modulo 3 en bascules JK

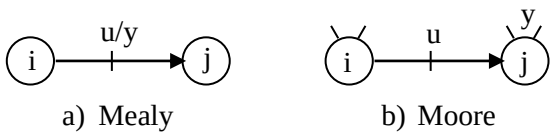
Le circuit du compteur modulo 3 à bascules JK est donc celui de la figure 4-38. Il est nettement plus simple et plus compact que le circuit asynchrone de la figure 4-36.

## 4-2-3 Synthèse des circuits synchrones

L'état suivant d'un circuit synchrone n'est affecté par l'état actuel et l'entrée qu'au front d'activation des bascules c'est-à-dire à l'instant où les loquets esclaves deviennent passants. On suppose que cet instant est le même pour toutes les bascules c'est-à-dire qu'elles sont soumises au même signal d'horloge. D'autre part, selon que la sortie dépende de l'entrée ou non on distingue entre deux types de circuits synchrones.

1) Un circuit est dit *machine de Mealy* s'il est conçu de sorte que sa sortie soit dépendante à la fois de l'entrée et de l'état : y = g(u, x).
2) Un circuit est dit *machine de Moore* s'il est conçu de sorte que sa sortie soit seulement dépendante de l'état : y = g(x).

La sortie y d'une machine de Mealy produite par une entrée u à la fin d'une étape i s'écrit à côté de u au voisinage de l'arc de transition vers l'étape suivante (fig. 4-39a). Pour une machine de Moore, on écrit la sortie durant une étape j soit à côté du cercle qui représente cette étape (fig. 4-39b) soit à l'intérieur de ce cercle.




a) Mealy b) Moore

**Fig. 4-39** Conventions graphiques des machines Mealy et Moore

L'exemple suivant montre la différence de conception entre les deux machines.

**Exemple 4-6**

Une lampe L s'allume ou reste allumée si aux 3 derniers fronts d'activation de l'horloge les valeurs d'un signal u sont alternées (010 ou 101).

*1) <u>Diagramme des étapes.</u>* La figure 4-40a représente le diagramme de Mealy de ce système et la figure 4-40b son diagramme de Moore. Comme la machine de Mealy fait intervenir l'entrée en plus de l'état pour produire la sortie, elle nécessite généralement moins d'étapes (d'états) que la machine de Moore. Contrairement à la machine de Mealy, à chaque étape de la machine de Moore correspond une sortie et une seule.

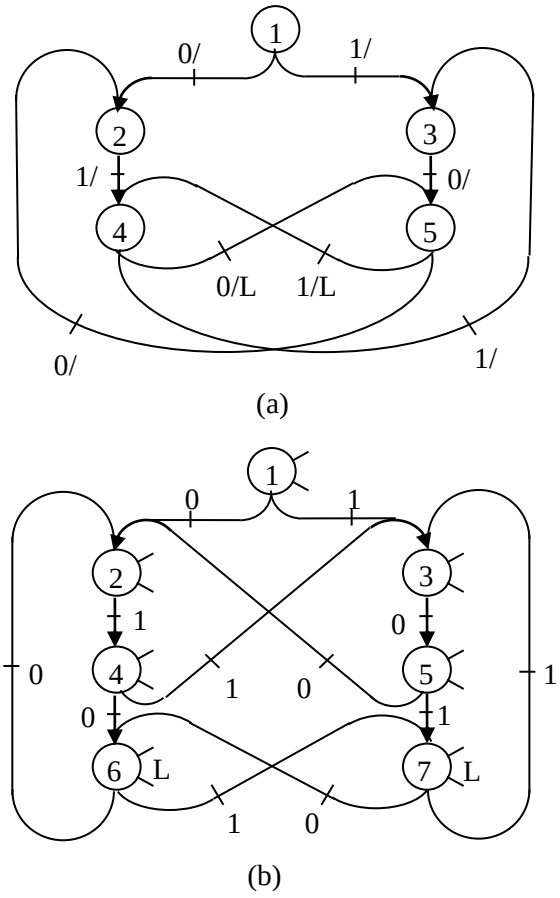



**Fig. 4-40** Diagrammes de Mealy et de Moore de l'exemple 4-6

*2) <u>Codage des étapes.</u>* Comme le problème de l'effet de course ne se pose pas quand les mémoires

sont des bascules maitre-esclaves, le codage des étapes peut être arbitraire. Cependant, on peut tirer profit de cette liberté pour simplifier les expressions de l'état suivant. En effet, l'expression d'une fonction est d'autant plus simple que les 1 (ou les 0) de son tableau de Karnaugh sont situés dans des cases adjacentes et les règles suivantes aident à assurer au moins une partie de ces adjacences.

**R1.** On associe des états adjacents à deux étapes i et j à partir desquelles le système se dirige vers une même troisième k pour une même entrée u (fig. 4-41a). On obtient ainsi la même valeur à l'intersection de la colonne de u avec les lignes adjacentes de i et j et ceci pour toute composante $x_i'$ de l'état suivant.

**R2.** On associe des états adjacents à deux étapes i et j vers lesquelles se dirige le système à partir d'une même troisième k pour deux entrées adjacentes $u^1$ et $u^2$ (fig. 4-41b). On obtient ainsi la même valeur à l'intersection de la ligne de k avec les colonnes adjacentes de $u^1$ et $u^2$ et ceci pour toute composante $x_i'$ de l'état suivant (sauf la composante qui diffère).

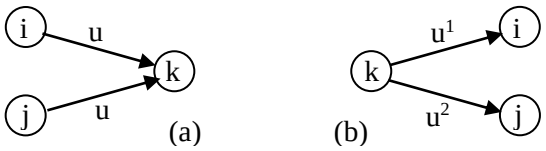



**Fig. 4-41** Règles de codage des étapes

Le tableau ci-dessous regroupe pour chaque étape k du diagramme de Mealy, figure 4-40a, les couples d'étapes (i, j) aux quelles s'appliquent la règle R1 ou la règle R2.

| k | Règle 1 | Règle 2 |
|---|---|---|
| 1 | | (2, 3) |
| 2 | (1, 2), (1, 5), (2, 5) | (2, 4) |
| 3 | (1, 3), (1, 4), (3, 4) | (3, 5) |
| 4 | (2, 5) | (3, 5) |
| 5 | (3, 4) | (2, 4) |

Sachant que 2 états adjacents à un même troisième ne sont pas adjacents entre eux, il est impossible de satisfaire toutes les adjacences du tableau précédent. Par exemple les états des étapes 2 et 5 ne seront pas adjacents si on associe à chacune un état adjacent à celui de 1. On se contente donc du codage défini par le tableau 4-12 qui assure 5 adjacences du tableau précédent parmi 9.

| $x_1$ \ $x_2$ $x_3$ | | | |
|---|---|---|---|
| | 1 | 2 | 5 |
| | | 4 | 3 |

**Tableau 4-12** Codage des étapes du diagramme 4-40a

De même, le tableau 4-13 définit pour les étapes du diagramme de Moore, figure 4-40b, un codage qui satisfait assez bien les règles d'adjacence.

| $x_1$ \ $x_2$ $x_3$ | | | |
|---|---|---|---|
| | 1 | 5 | 6 | 2 |
| | 4 | | 3 | 7 |

**Tableau 4-13** Codage des étapes du diagramme 4-40b

Les entrées d'excitation qui modifient les états $x_1$, $x_2$ et $x_3$ des bascules dépendent du type de ces bascules. Il est généralement préférable que toutes les bascules d'un circuit soient de même type, mais, pour illustrer tous les cas, $x_1$ sera l'état d'une bascule D, $x_2$ l'état d'une bascule T et $x_3$ l'état d'une bascule JK. Le tableau 4-14 montre comment choisir l'entrée d'une bascule pour passer d'un état actuel Q à un état suivant Q'. Le trait « – » dans ce tableau signifie que la composante correspondante de l'entrée est indifférente.

| Q → Q' | D | T | (J, K) |
|---|---|---|---|
| 0 → 0 | 0 | 0 | (0, –) |
| 0 → 1 | 1 | 1 | (1, –) |
| 1 → 0 | 0 | 1 | (–, 1) |
| 1 → 1 | 1 | 0 | (–, 0) |

**Tableau 4-14** Entrées d'excitation des bascules.

*3) <u>Circuit de Mealy.</u>* D'après le diagramme de Mealy, figure 4-40a, et son tableau de codage 4-12, l'entrée u = 0 appliquée à l'étape 1 d'état (0, 0, 0) conduit le système vers l'étape 2 d'état (0, 0, 1) et produit la sortie L = 0. Dans la case d'entrée u = 0 et d'état (0, 0, 0) on associe, d'après le tableau 4-14. la valeur 0 à D, la valeur 0 à T, la valeur 1 à J, un

trait à K et la valeur 0 à L. En procédant de la sorte pour chaque étape et chaque entrée, on aboutit aux tableaux suivants définissant les fonctions D, T, J, K et L.

| $x_3$ | $x_2$ | $x_1$ | $\overline{u}$ | $u$ |
|---|---|---|---|---|
| | | | 0 | 1 |
| | | | 0 | 1 |
| | | | 0 | 1 |
| | | | | |
| | | | | |
| | | | 1 | 0 |
| | | | 0 | 1 |
| | | | | |

D

| $x_3$ | $x_2$ | $x_1$ | $\overline{u}$ | $u$ |
|---|---|---|---|---|
| | | | 0 | 1 |
| | | | 0 | 0 |
| | | | 1 | 1 |
| | | | | |
| | | | | |
| | | | 0 | 0 |
| | | | 1 | 1 |
| | | | | |

T

| |
|---|
| 1 |
| 2 |
| 5 |
| |
| |
| 3 |
| 4 |
| |

Code

| $x_3$ | $x_2$ | $x_1$ | $\overline{u}$ | $u$ |
|---|---|---|---|---|
| | | | 1 | 1 |
| | | | – | – |
| | | | – | – |
| | | | | |
| | | | | |
| | | | – | – |
| | | | – | – |
| | | | | |

J

| $x_3$ | $x_2$ | $x_1$ | $\overline{u}$ | $u$ |
|---|---|---|---|---|
| | | | – | – |
| | | | 0 | 0 |
| | | | 0 | 0 |
| | | | | |
| | | | | |
| | | | 0 | 0 |
| | | | 0 | 0 |
| | | | | |

K

| $x_3$ | $x_2$ | $x_1$ | $\overline{u}$ | $u$ |
|---|---|---|---|---|
| | | | 0 | 0 |
| | | | 0 | 0 |
| | | | 0 | 1 |
| | | | | |
| | | | | |
| | | | 0 | 0 |
| | | | 1 | 0 |
| | | | | |

L

**Tableaux. 4-15** Fonctions D, T, J, K et L du circuit Mealy

On tire de ces tableaux les expressions suivantes.

$$
\begin{aligned}
D &= u\bar{x}_1 + ux_1\bar{x}_2 + \bar{u}x_1x_2 \\
&= u(\bar{x}_1 + \bar{x}_2) + +\bar{u}x_1x_2 \\
&= u \oplus (x_1x_2) \\
T &= u\bar{x}_2\bar{x}_3 + \bar{x}_1x_2 + x_1\bar{x}_2 \\
&= u(\overrightarrow{x_2 + x_3}) + x_1 \oplus x_2 \\
&\quad J = 1, \quad K = 0 \\
L &= u\bar{x}_1x_2 + \bar{u}x_1\bar{x}_2
\end{aligned}
\qquad (4\text{-}26)
$$

Ces équations conduisent au circuit de la figure 4-42. À noter que pour démarrer par l'étape 1 il est nécessaire d'initialiser le circuit en mettant à 0 les 3 bascules à l'aide de leur entrée Cr (clear).

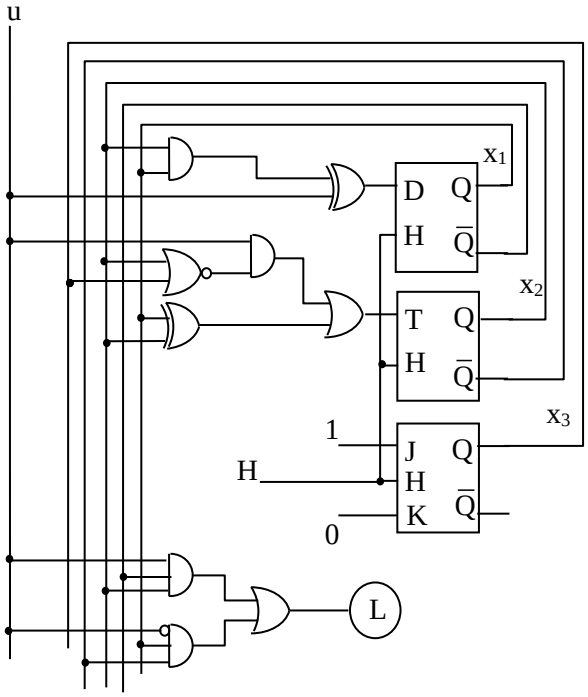



**Fig. 4-42** Circuit de Mealy de l'exemple 4-6

*4) <u>Circuit de Moore</u>*. Partant de son diagramme, figure 4-40b, et du tableau de codage 4-13, le circuit de Moore s'obtient en suivant la même démarche que pour le circuit de Mealy à part que la sortie s'obtient plus facilement puisqu'elle ne dépend que de l'état et n'a qu'une seule colonne. Les tableaux de D, T, J, K et L sont les suivants :

| $x_3$ | $x_2$ | $x_1$ | $\overline{u}$ | $u$ |
|---|---|---|---|---|
| | | | 0 | 1 |
| | | | 0 | 1 |
| | | | 0 | 1 |
| | | | 0 | 1 |
| | | | 0 | 1 |
| | | | 0 | 1 |
| | | | | |
| | | | 0 | 1 |

D

| $x_3$ | $x_2$ | $x_1$ | $\overline{u}$ | $u$ |
|---|---|---|---|---|
| | | | 1 | 1 |
| | | | 1 | 1 |
| | | | 0 | 0 |
| | | | 0 | 1 |
| | | | 0 | 0 |
| | | | 1 | 0 |
| | | | | |
| | | | 1 | 1 |

T

| |
|---|
| 1 |
| 5 |
| 6 |
| 2 |
| 7 |
| 3 |
| |
| 4 |

Code

**Tableau 4-16a** Fonctions D et T du circuit Moore

| | | u | | | | u | | | |
|---|---|---|---|---|---|---|---|---|---|
| $x_3$ | 0 | 1 | $x_3$ | – | – | $x_3$ | 0 |
| $x_2$ | – | – | $x_2$ | 1 | 1 | $x_2$ | 0 |
| | – | – | | 1 | 1 | | 1 |
| $x_1$ | 0 | 0 | $x_1$ | – | – | $x_1$ | 0 |
| | 1 | 1 | | – | – | | 1 |
| | – | – | | 0 | 0 | | 0 |
| | | | | | | | |
| | 1 | 1 | | – | – | | 0 |
| | J | | | K | | | L |

**Tableaux. 4-16b** Fonctions J, K et L du circuit de Moore.

On tire de ces tableaux les expressions suivantes conduisant au circuit de commande :

$$D = u,$$
$$T = \bar{x}_2 + u\bar{x}_1\bar{x}_3 + \bar{u}x_1x_3,$$
$$J = x_1 + u\bar{x}_2, \quad K = \bar{x}_1,$$

$$\begin{aligned} L &= \bar{x}_1x_2x_3 + x_1x_2\bar{x}_3 \\ &= x_2(x_1 \oplus x_3). \end{aligned} \qquad (4\text{-}27)$$

EXERCICE 4-12
1) Que devient le circuit Mealy de l'exemple 4-6 précédent si $x_1$ est l'état d'une bascule JK, $x_2$ l'état d'une bascule D et $x_3$ l'état d'une bascule T.
2) Construire le circuit Moore de l'exemple 4-6 avec 3 bascules JK.

EXERCICE 4-13
Une lampe s'allume ou reste allumée si aux 2 derniers fronts d'activation les valeurs d'un signal binaire u sont égales. Construire en bascules D le circuit de commande a) en machine de Mealy b) en machine de Moore.

**Comparaison entre les machines de Mealy et de Moore**. La machine de Mealy qui comporte généralement moins d'éléments que la machine de Moore a un temps de propagation plus court (ce qui permet de diminuer la période de l'horloge) et occupe moins d'espace. Mais la sortie d'une machine de Mealy, étant dépendante de l'entrée, peut se modifier entre deux fronts d'activation et sa valeur ne peut être imposée par le circuit qu'aux extrémités de cet intervalle. Les chronogrammes des deux machines de l'exemple 4-6, représentés sur la figure 4-43, sont obtenus à partir des diagrammes de la figure 4-40, des tableaux de codages 4-12, 4-13 et des expressions (4-26) et (4-27) de L. On remarque que, contrairement à la machine de Mealy, la sortie de la machine de Moore reste conforme aux exigences du problème durant tout l'intervalle séparant deux fronts d'activation. Pour cette raison, la machine de Moore est préférée à la machine Mealy qui peut produire, dans certains cas, un fonctionnement erroné. La machine de Mealy est surtout employée lorsque l'entrée est synchronisée par l'horloge ou lorsque la sortie n'est exploitée que juste aux fronts d'activation et ignorée ailleurs. La réponse de la machine de Mealy sera correcte si elle est échantillonnée aux fronts d'activation et bloquée (maintenue constante) entre deux fronts successifs.

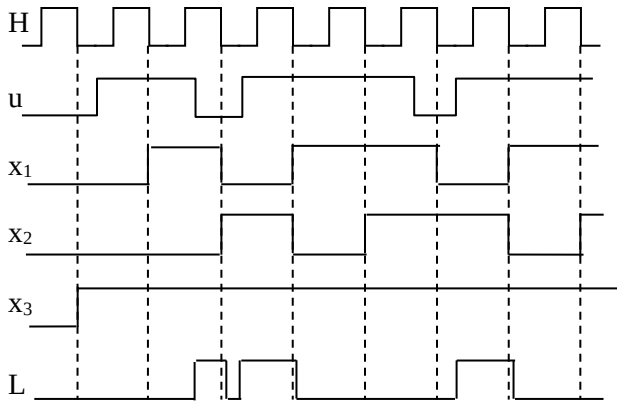



**Figure 4-43a** Chronogramme de la Machine de Mealy de l'exemple 4-6.

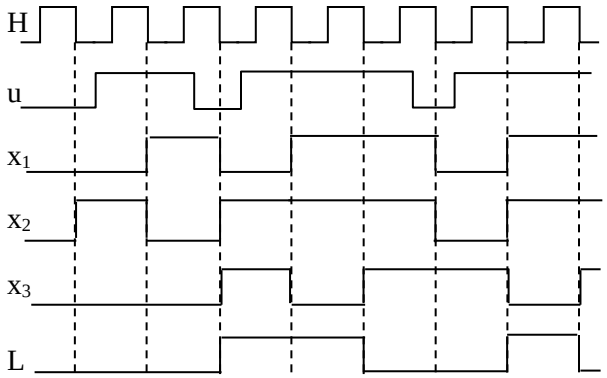
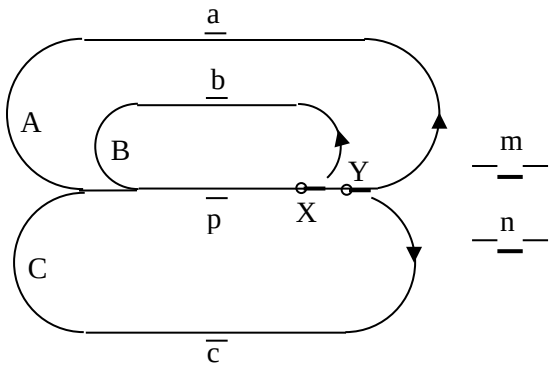



**Figure 4-43b** Chronogramme de la Machine de Moore de l'exemple 4-6.

EXERCICE 4-14




Selon la position des deux aiguillages X et Y activés chacun par un électro-aimant, un train miniature suit l'une des boucles A, B ou C en poussant à son passage les contacts a, b, c et p. Quelle que soit sa position initiale, le train démarre par impulsion sur m et s'arrête en p au premier passage. Par une autre impulsion sur m, le train décrit les boucles dans l'ordre suivant : A, C, B, C, A, C, B, C, …. Il s'immobilise dès que n est actionné. En supposant que la durée d'action sur un contact est supérieure à la période d'un signal d'horloge H, construire en bascules JK le circuit de commande de ce système.

## 4-2-4 Minimisation des étapes d'une machine de Moore.

En construisant le diagramme des étapes à partir des exigences du problème, il arrive souvent d'introduire plus d'étapes qu'il est nécessaire. Si toute suite d'entrées appliquée à partir d'une étape i produit la même suite de sorties à partir d'une étape j, on dit que les étapes i et j sont *équivalentes* et peuvent être fusionnées en une seule. Ceci permet de réduire le nombre des étapes ce qui diminue généralement le nombre des variables d'état et des bascules. La procédure de la minimisation du nombre des étapes est la suivante :

1) On commence par partager l'ensemble des étapes en des classes contenant chacune toutes les étapes de même sortie. L'ensemble de ces classes est appelé partition initiale.

2) Deux étapes i et j d'une classe C sont distinguables (ne sont pas équivalentes) s'il existe une même entrée qui produit une transition de i à k et une transition de j à r où k et r sont dans deux classes différentes. Si la classe C possède 2 étapes distinguables ou plus, elle sera scindée en deux ou plusieurs nouvelles classes séparant les étapes définitivement distinguables. En effectuant cette séparation pour toutes les classes, on obtient une nouvelle partition de l'ensemble des étapes.

3) On répète 2) jusqu'à l'obtention d'une partition égale à la précédente. Les étapes de chaque classe de cette partition finale seront fusionnées en une seule étape à laquelle on associe le numéro de la classe.

**Exemple 4-7**

Le tableau suivant montre, pour chaque entrée u = ($u_1$, $u_2$), l'étape vers laquelle se dirige le système à partir de chaque étape. Les sorties durant les étapes sont données en dernière colonne.

| | $u_1$ | | | | |
|---|---|---|---|---|---|
| | $u_2$ | | | | |
| **1** | 1 | 2 | 5 | 3 | A |
| **2** | 4 | 7 | 1 | 2 | B |
| **3** | 3 | 2 | 6 | 1 | A |
| **4** | 7 | 4 | 4 | 7 | B |
| **5** | 7 | 5 | 6 | 7 | B |
| **6** | 7 | 5 | 5 | 7 | B |
| **7** | 1 | 3 | 2 | 4 | A |

**Tableau 4-17** Transitions des étapes aux étapes

Ces sorties définissent la partition initiale $P_1$ des étapes :

$$P_1 = \{C_1, C_2\} \quad \text{avec} \quad C_1 = \{1,3,7\}, C_2 = \{2,4,5,6\}\ .$$

Les tableaux suivants montrent, pour chaque entrée, l'indice de la classe vers laquelle se dirige le système à partir de chaque étape des classes $C_1$ et $C_2$ prises séparément.

| | $u_1$ | | | |
|---|---|---|---|---|
| | $u_2$ | | | |
| **1** | 1 | 2 | 2 | 1 |
| **3** | 1 | 2 | 2 | 1 |
| **7** | 1 | 1 | 2 | 2 |

| | $u_1$ | | | |
|---|---|---|---|---|
| | $u_2$ | | | |
| **2** | 2 | 1 | 1 | 2 |
| **4** | 1 | 2 | 2 | 1 |
| **5** | 1 | 2 | 2 | 1 |
| **6** | 1 | 2 | 2 | 1 |

Comme la ligne de l'étape 7 diffère des lignes des

étapes 1 et 3, l'étape 7 n'est pas équivalente aux étapes 1 et 3 et doit être placée dans une classe à part. De même l'étape 2 doit être séparée des étapes 4, 5 et 6. La partition des étapes devient :

$$P_2 = \{C_1, C_2, C_3, C_4\}$$

avec $C_1 = \{1,3\}, C_2 = \{7\}, C_3 = \{4,5,6\}, C_4 = \{2\}$.

Partant de cette nouvelle partition, examinons si les étapes des classes $C_1$ et $C_3$ sont équivalentes ou non. En se référant au tableau 4-17, les transitions des étapes de ces deux classes aux classes de $P_2$ sont données par les tableaux suivants :

| $u_2$ \ $u_1$ | | | | |
|---|---|---|---|---|
| **1** | 1 | 4 | 3 | 1 |
| **3** | 1 | 4 | 3 | 1 |

| $u_2$ \ $u_1$ | | | | |
|---|---|---|---|---|
| **4** | 2 | 3 | 3 | 2 |
| **5** | 2 | 3 | 3 | 2 |
| **6** | 2 | 3 | 3 | 2 |

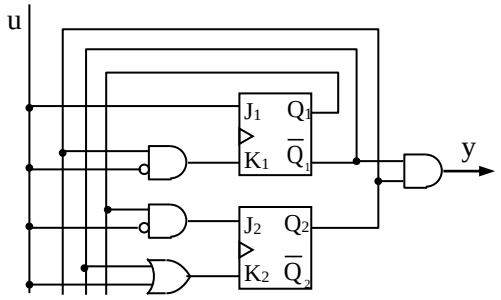
Les lignes de ces tableaux étant identiques, les classes $C_1$ et $C_3$ ne se scindent pas et restent les mêmes d'où $P_2$ est la partition finale. Les étapes d'une classe de $P_2$ se fusionnent en une seule étape à laquelle on associe le numéro de cette classe. Le tableau 4-17 se réduit donc au suivant :

| $u_2$ \ $u_1$ | | | | | |
|---|---|---|---|---|---|
| **1** | 1 | 4 | 3 | 1 | A |
| **2** | 1 | 1 | 4 | 3 | A |
| **3** | 2 | 3 | 3 | 2 | B |
| **4** | 3 | 2 | 1 | 4 | B |

EXERCICE 4-15
Peut-on simplifier le diagramme d'étapes de l'exemple 4-6 (fig. 4-40b) ?

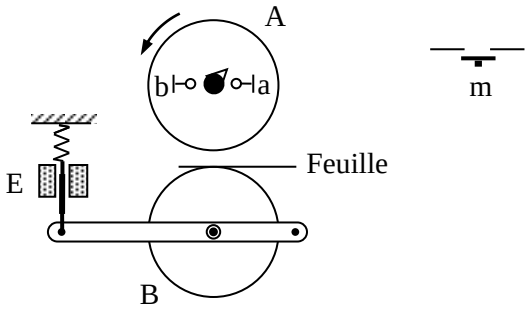
## AUTRES EXERCICES ET COMPLÉMENTS

**4-16** Représenter le diagramme de Moore du circuit suivant et déduire son comportement.




**4-17** Construire en bascules JK un compteur d'impulsions modulo 5.

**4-18** La figure représente un mécanisme d'impression. Le rouleau A comporte sur une moitié de sa périphérie le texte à imprimer et tourne en permanence. Quand le bouton m est actionné et la came pousse le bouton a, l'électro-aimant E soulève le rouleau B par l'intermédiaire d'un levier et l'impression s'effectue jusqu'à l'arrivée de la came en b où E se désactive. Tant que l'action sur m est maintenue, l'impression se répète à chaque passage de la came par a Quand m est relâché l'électro-aimant reste activé jusqu'à b mais le passage de la came par a ne l'active plus.

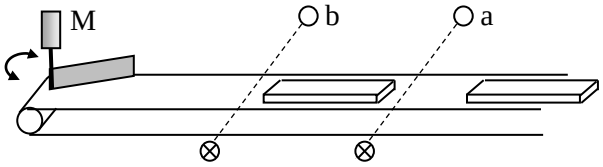



Construire pour ce système un circuit de commande asynchrone par la méthode d'Huffman.

**4-19** Employant des bascules T, construire une machine de Moore qui commande le système de l'exercice 4-18 précédent.

**4-20** Employant des bascules T, construire une machine de Mealy qui commande le système de l'exercice 4-18 et examiner sous quelles conditions le fonctionnement sera correct.

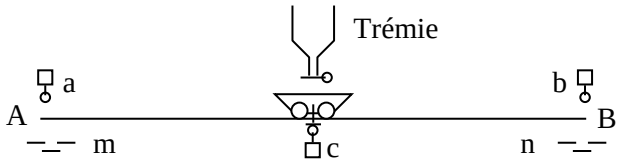
**4-21** Des planches en bois de 60 et de 80 cm de longueur sont placées sur un convoyeur et défilent devant deux cellules photoélectriques a et b distantes de 70 cm. Les planches sont suffisamment espacées l'une de l'autre pour qu'une planche sort du convoyeur avant que la suivante soit complètement à gauche de la ligne joignant l'émetteur et le récepteur de la photocellule b. Quand une planche arrive dans cette dernière position, le moteur M tourne le volet à gauche ou le laisse dans cette position si cette planche est de 60 cm. Il tourne le volet à droite ou le laisse dans cette position si la planche est de 80 cm.




Construire pour ce système un circuit de commande asynchrone par la méthode d'Huffman.

**4-22** Employant des bascules D, construire une machine synchrone de Moore qui commande le système de l'exercice 4-21 précédent.

**4-23** Un chariot transporte un produit granulé d'une trémie aux stations A et B. Quand le chariot n'est pas en A (resp. B), le contacte a (resp. b) est ouvert et une impulsion sur m (resp. n) indique le besoin de la station A (resp. B) d'un nouveau chargement. Quand le chariot est en A (resp. B), le contacte a (resp. b) est fermé et une impulsion sur m (resp. n) envoie le chariot de la station A (resp. B) à la trémie. À l'arrivée du chariot en c, le volet de la trémie s'ouvre pendant un temps T à la fin duquel le volet se ferme et un temporisateur délivre un signal t = 1. Le chariot se dirige ensuite vers la station qui a indiqué son besoin pour un nouveau chargement en donnant la priorité à celle qui n'a pas été servie la dernière. Le chariot reste en c si aucune station ne le demande et le signal t du temporisateur ne s'annule que lorsque le chariot libère c en se déplaçant vers l'une de deux stations.




Construire pour ce système un circuit de commande asynchrone par la méthode des étapes.

**4-24** Employant des bascules JK, construire un circuit synchrone qui commande le système de l'exercice 4-23 précédent.

**4-25** Construire un circuit synchrone à bascules JK dont la sortie y est égale à 1 si et seulement si la somme des 3 dernières valeurs de l'entrée u aux fronts d'activation est égale à 1.

**4-26** Un circuit synchrone a une entrée u et deux sorties $y_1$ et $y_2$. La sortie $y_1$ ne prend la valeur 1 qu'entre les deux fronts d'activation qui suivent la montée de u de 0 à 1 et la sortie $y_2$ ne prend la valeur 1 qu'entre les deux fronts d'activation qui suivent la descente de u de 1 à 0. On suppose que u ne peut changer de valeur plus qu'une fois durant une période de l'horloge. Construire ce circuit utilisant des bascules D à front montant.